

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-320011

(43) Date of publication of application : 16.11.2001

(51) Int.CI.

H01L 25/04

H01L 25/18

H01L 23/50

(21) Application number : 2000-135283

(71) Applicant : SANYO ELECTRIC CO LTD

(22) Date of filing : 09.05.2000

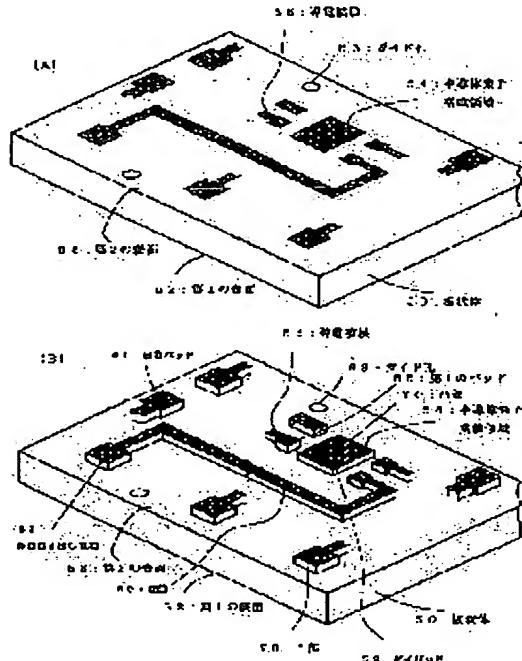
(72) Inventor : SAKAMOTO NORIAKI  
KOBAYASHI YOSHIYUKI  
SAKAMOTO JUNJI  
MASHITA SHIGEAKI  
OKAWA KATSUMI  
MAEHARA EIJI  
TAKAHASHI YUKITSUGU

## (54) PLATY BODY AND MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To eliminate an unnecessary supporting substrate that is integrally composed of a printed circuit board, a ceramic board, a flexible sheet, and the like, and solve the problem that the thickness of the supporting substrate increases the size of a circuit device in hybrid IC.

**SOLUTION:** A plate body 50 that has a formed conductive covering such as a first pad 55 and a die pad 59, or is half-etched via the conductive covering such as the first and die pads 55 and 59 is formed, thus utilizing the post process of a semiconductor manufacturer, and hence manufacturing the thin hybrid IC having an excellent heat radiation property without adopting the supporting substrate.



### LEGAL STATUS

[Date of request for examination] 21.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The plate characterized by forming the 1st electric conduction coat or photoresist of two or more 1st pads and a real same pattern which is the plate which has the 1st front face which consists of a flat side, and the 2nd front face which is countered and established in the 1st front face of the above, and consists of a flat side, and is prepared in a semiconductor device loading field or its near in the 2nd front face of the above.

[Claim 2] The plate according to claim 1 characterized by forming in the 2nd front face of the above the 2nd electric conduction coat or photoresist of the 1st pad of the above, the wiring formed by one, and a real same pattern.

[Claim 3] The 1st pad of the above is a plate according to claim 1 or 2 which is a bonding pad or a pad for solder ball fixing.

[Claim 4] The plate according to claim 1 or 2 characterized by preparing the electric conduction coat or photoresist of a die pad and a real same pattern in the aforementioned semiconductor device loading field.

[Claim 5] The plate according to claim 1 to 4 with which the electric conduction coat or photoresist of the fixing pad for passive elements and/or the electrode for external extraction, and a real same pattern is formed in the 2nd front face of the above.

[Claim 6] The aforementioned passive element is the plate according to claim 5 characterized by being a chip resistor or a chip capacitor.

[Claim 7] the side side as for which the aforementioned plate carries out phase opposite -- a guide pin and substance -- the guide in which the same pattern or the aforementioned guide pin is inserted -- the plate according to claim 1 or 2 characterized by forming the hole

[Claim 8] It is the plate according to claim 1 or 2 which the aforementioned plate changed with the electric conduction foil, and was characterized by the aforementioned electric conduction coat consisting of the material from which the material of the aforementioned electric conduction foil differs.

[Claim 9] It is the plate characterized by being the plate which has the 1st front face which consists of a flat side, and the 2nd front face which has the heights formed in desired height, and counters and grows into the 1st front face of the above, and the aforementioned heights constituting two or more 1st pads in a semiconductor device loading field or its near.

[Claim 10] The aforementioned heights are the plates according to claim 9 characterized by constituting the wiring formed by the 1st pad of the above, and one.

[Claim 11] The aforementioned heights are the plates according to claim 10 characterized by constituting the 2nd pad prepared by the aforementioned wiring and one.

[Claim 12] The 1st pad of the above and/or the 2nd pad of the above are a plate according to claim 9 to 11 which is a bonding pad or a pad for solder ball fixing.

[Claim 13] The aforementioned heights are the plates according to claim 9 to 11 characterized by constituting the die pad prepared in the aforementioned semiconductor device loading field.

[Claim 14] The aforementioned heights are the plates according to claim 9 to 11 characterized by constituting the fixing pad for passive elements, and/or the electrode for external extraction.

[Claim 15] The aforementioned passive element is the plate according to claim 14 characterized

by being a chip resistor or a chip capacitor.

[Claim 16] the guide in which a guide pin, a real same pattern, or the aforementioned guide pin is inserted the side side as for which the aforementioned plate carries out phase opposite -- the plate according to claim 9 characterized by forming the hole

[Claim 17] The plate according to claim 9 to 14 characterized by arranging the unit which made one unit the pattern which changes from the aforementioned heights to the aforementioned plate in the shape of a matrix.

[Claim 18] The aforementioned plate is a plate according to claim 9 to 17 characterized by consisting of Cu, aluminum, a Fe-nickel alloy, the layered product of Cu-aluminum, or the layered product of aluminum-Cu-aluminum.

[Claim 19] The plate according to claim 9 to 18 characterized by forming in the upper surface of the aforementioned heights the electric conduction coat of a different material from the material which constitutes the aforementioned heights.

[Claim 20] The side of the aforementioned heights is the plate according to claim 9 to 19 characterized by having support structure.

[Claim 21] The aforementioned electric conduction coat is the plate according to claim 19 characterized by constituting eaves from the upper surface of the aforementioned heights.

[Claim 22] The aforementioned electric conduction coat is the plate according to claim 19 or 21 characterized by consisting of nickel, Au, Ag, or Pd.

[Claim 23] The field which is characterized by providing the following and which is a plate and is surrounded in a contact field with metal mold on the above at least is the plate characterized by constituting a closed space from metal mold on the aforementioned front face and the above. It crosses to the whole surface corresponding to a resin-seal field, and is a flat rear face, it forms in the shape of a sheet by predetermined thickness from the aforementioned rear face -- having -- the upper -- the front face where the heights used as two or more 1st pads and the 1st pad of the above which are prepared in a semiconductor device loading field or its near, and the wiring formed by one are formed in the field surrounded in a contact field with metal mold

[Claim 24] The manufacture method of the semiconductor device by which it was characterized characterized by providing the following. It crosses to the whole surface corresponding to a resin-seal field, and is a flat rear face. To the field which is formed in the shape of a sheet by predetermined thickness from the aforementioned rear face, and is surrounded in a contact field with metal mold a top The plate which has the front face in which the heights used as two or more 1st pads and the 1st pad of the above which are prepared in a semiconductor device loading field or near, and the wiring formed by one are formed is prepared. While carrying a semiconductor device in the aforementioned semiconductor device loading field, the aforementioned semiconductor device is electrically connected with the 1st pad of the above.

The process which carries the aforementioned plate in metal mold, removes the plate which fills up with a resin the space which consists of metal mold on the aforementioned plate and the above, and is exposed to the rear face of the resin by which restoration was carried out

[ aforementioned ], and separates the aforementioned heights, respectively.

[Claim 25] The whole region of the rear face of the aforementioned plate corresponding to the aforementioned resin-seal field is the manufacture method of the semiconductor device according to claim 23 or 24 characterized by being contacted by the Shimokane type.

[Claim 26] An aforementioned Shimokane type contact field is the manufacture method of the semiconductor device according to claim 23 to 25 characterized by distributing and arranging a vacuum suction means.

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

## [0001]

[The technical field to which invention belongs] this invention relates to the plate which solves various problems of the conventional hybrid IC especially about the manufacture method of a plate and a semiconductor device.

## [0002]

[Description of the Prior Art] Conventionally, since the circuit apparatus set to electronic equipment is adopted as a cellular phone, a portable computer, etc., a miniaturization, thin-shape-izing, and lightweight-ization are called for.

[0003] A hybrid IC is used abundantly as this circuit apparatus, and the ceramic substrate, the metal substrate, the printed circuit board, or the flexible sheet substrate is mainly adopted as a substrate.

[0004] Drawing 17 shows the example and explains the concrete composition below. There is a substrate 1 first mentioned above and the electric conduction pattern is formed in this substrate 1 by Cu. This electric conduction pattern is the wiring 6 grade of the fixing pad 5 for passive element connection of a die pad 2, a bonding pad 3, the electrode 4 for external ejection, a chip resistor, or a chip capacitor, these pads, and one, and is patternized by the desired configuration based on the circuit of a hybrid IC.

[0005] And a semiconductor device 7 fixes in the aforementioned die pad 2, and the bonding electrode and the aforementioned bonding pad 3 on a semiconductor device 7 are electrically connected to it by the metal thin line 8. Moreover, the aforementioned passive element 9 fixed with the fixing pad 5 through low material, such as solder, Ag paste, etc., and the external lead 10 has fixed it through the aforementioned low material or Ag paste to the pad 4. And sealing of the resistance to environment is taken into consideration and carried out. Here, the insulating resin 11 is formed of the mould all over the substrate 1.

[0006] Moreover, there are some which realize a hybrid IC using a leadframe 20. Drawing 18 realizes the pattern of drawing 17 by the leadframe 20.

[0007] A semiconductor device 22 fixes in an island 21, and the bonding pad 23 and the aforementioned semiconductor device 22 which have been arranged near the island 21 are electrically connected to it through the metal thin line 24.

[0008] Moreover, there are some bonding pads 21 which consist of wiring 25 and one, for example, it connects with the lead terminal 26 electrically. Two or more these lead terminals 26 are formed along the side side of a leadframe 20. In addition, a sign 27 is a passive element and a sign 28 is a fixing pad for fixing the aforementioned passive element 27.

## [0009]

[Problem(s) to be Solved by the Invention] However, since a substrate 1 was used for it, the hybrid IC of drawing 17 mentioned above had the thick thickness of a hybrid IC, only the part of a substrate increased and the weight also had a limitation in reduction of cost further. Since the process which stuck Cu foil and which carries out after patterning was added in order to form the aforementioned electric conduction patterns 2-6 which change from Cu foil to a substrate especially, the cost of a substrate 1 which has this Cu pattern was making the price of a hybrid

IC raise. Furthermore, in order to form the electric conduction patterns 2-6, the substrate 1 was utilized as a support substrate, and the substrate 1 was required.

[0010] Moreover, by using a substrate, the problem was in mounted thermolysis nature, such as a semiconductor device and a passive element. For example, even if the printed circuit board, the ceramic substrate, and the flexible sheet consisted of insulating materials and tended to radiate heat to the mounting substrate through the substrate, they have not emitted the heat of the closed semiconductor device and a passive element outside good from the thermally conductive badness. Moreover, even if it was the metal substrate which is excellent in thermolysis nature, a short circuit with an electric conduction pattern is taken into consideration, the coat of the insulating resin is carried out to the front face of a metal substrate, and this was generating thermal resistance. When reducing especially the temperature of a semiconductor device, raising drive capacity more was not able to be concerned possible and capacity of a semiconductor device was not fully able to be utilized from the badness of the aforementioned thermolysis nature.

[0011] Moreover, unlike the discrete device by which the hybrid IC was packed, and the packed semiconductor chip, many active elements and the passive element were carried and the wiring which moreover connects these elements electrically was used abundantly. And although based also on the number of the elements mounted, the size of a substrate was large, and the length of the wiring formed on this needed to become very long, and needed to take deformation of curvature etc. into consideration. Moreover, though detailed-ization of an electric conduction pattern is realized in accordance with a small and light flow, in order for there to be also no deformation of curvature etc. and to support this thin and long wiring, there was a problem for which a support substrate is needed too.

[0012] Furthermore, in order that a hybrid IC maker transmits predetermined pattern data to a substrate maker, a substrate maker might patternize, a substrate might be manufactured and considering a manufacturing process a hybrid IC maker might purchase this completed substrate, by the time it manufactured the hybrid IC, this problem had time very much. Therefore, the hybrid maker also had the problem which cannot dedicate the aforementioned hybrid IC to a user at short time for delivery.

[0013] The hybrid IC which adopted the leadframe 20 of drawing 18 had the following troubles besides the trouble stated by drawing 17.

[0014] A leadframe 20 is extracted by a press and etching from a table on the reverse side, and is formed. Therefore, measures are taken so that neither a lead terminal 26 nor an island 21 may become a rose rose. That is, a tie rod 29 is formed, and an island 21 is hung to a lead terminal 26, and the lead 30 is formed in it. There were this tie rod 29 and a problem for which lead 30 originally is not needed, and removes after a mould by hanging, and a process is needed.

[0015] Moreover, since wiring 25 extends thinly and for a long time, in order that this wiring may also prevent deformation of curvature etc., it hangs and lead 31 is needed. Therefore, as mentioned above, it hangs, lead 31 removes and a process is needed. And these \*\*\*\* leads 30 and 31 bring an obstacle to formation of other wiring, a pad, or an island. In order to avoid intersection of wiring especially, there was a problem for which a complicated pattern is needed.

[0016] Moreover, in order to keep crossing a leadframe 20 to the reverse side from a table with etching or a press, it also had the problem which has a limitation in detailed-ization of a lead pattern. This is the same also with the electric conduction putter of drawing 17.

[0017] For example, when forming a leadframe 20 with a press, the length as the thickness of a leadframe with the almost same interval of the lead pierced is said to be threshold value. Moreover, the leadframe formed of etching is also said only for the part of thickness to be the limitation of the interval of a lead of the thickness of a leadframe, since etching progresses also to the part and longitudinal direction which \*\*\*\*\* to lengthwise.

[0018] Therefore, if it is going to change the pattern of a leadframe minutely, it is necessary to make thickness of a leadframe thin. However, when the thickness of leadframe 20 the very thing became thin, the intensity fell and had the problem which curvature occurs, or a lead terminal 26 deforms, or causes a position gap to a leadframe 20. Since especially the bonding pad 23 connected with the metal thin line 24 was not supported, it had the problem which deformation,

curvature, etc. generate.

[0019] And the portion shown by the arrow of drawing 18 A was a place to which a lead terminal 26 comes out of the side of a package, and the space between a lead terminal 26 and a lead terminal 26 could not contact by metal mold 32 and Shimokane type 33 a top, but also had the problem which a barricade generates.

[0020] As mentioned above, the leadframe was hung, and when a limitation is in micro processing, and it could not make size of the whole package smaller but the process was moreover considered, lead 7 and since it was necessary to excise tie-rod 8, the method of preventing the curvature of a leadframe was needed, or the process which removes a barricade was required, and it had the problem to which a process becomes complicated.

[0021]

[Means for Solving the Problem] The 1st front face which accomplishes this invention in view of many technical problems mentioned above, and changes from a flat side to the 1st, It is the plate which has the 2nd front face which is countered and established in the 1st front face of the above, and consists of a flat side. It solves by forming in the 2nd front face of the above the 1st electric conduction coat or photoresist of two or more 1st pads and a real same pattern prepared in a semiconductor device loading field or its near.

[0022] It solves by forming in the 2nd the 2nd electric conduction coat or photoresist of the 1st pad of the above, the wiring formed by one, and a real same pattern on the 2nd front face of the above.

[0023] It solves by utilizing the 1st pad of the above for the 3rd as a bonding pad or a pad for solder ball fixing.

[0024] It solves by preparing the electric conduction coat or photoresist of a die pad and a real same pattern in the aforementioned semiconductor device loading field the 4th.

[0025] It solves by forming the electric conduction coat or photoresist of the fixing pad for passive elements and/or the electrode for external extraction, and a real same pattern in the 2nd front face of the above the 5th.

[0026] By carrying out half etching of the electric conduction pattern formed in the plate, the electric conduction pattern supported with the plate can be formed. Therefore, a hybrid IC maker is having a phot lithography facility, and becomes possible [ manufacturing from a plate to a hybrid IC consistently uniquely ].

[0027] Moreover, this plate could be used for the closure process using the electrical installation and the insulating resin using fixing of a semiconductor device, and the metal thin line as a support substrate, and it became unnecessary [ the substrate as a support substrate like before ]. Although it exists in the shape of an island and is arranged in the unstable state, since especially bonding pads and die pads (island) are a plate and one, they can lose deformation of curvature etc. Furthermore, although wiring also extends for a long time, it curves and torsion etc. is generated, since it is a plate and one, these problems are solvable.

[0028] Moreover, by extracting a plate neither by the press nor etching from a table to the reverse side, but stopping a pad on the way through an electric conduction coat, intervals, such as a pad or wiring, can be narrowed and a more detailed pattern can be formed. Furthermore, after closing an insulating resin and fixing completely, even if it becomes separable [ a pad a die pad, and wiring ] by polish or \*\*\*\*\*ing, and there is also no position gap, it can arrange the rear face of a plate to a position and it moreover takes about wiring for a long time, it can arrange without deformation.

[0029] To the 6th, the aforementioned plate is accomplished with an electric conduction foil, and the aforementioned electric conduction coat is solved by accomplishing from a different material from the material of the aforementioned electric conduction foil.

[0030] By constituting an electric conduction coat from material of an electric conduction foil, and a different material, the aforementioned electric conduction coat is employable as an etching mask. Moreover, an electric conduction coat can be formed as eaves and it also becomes possible to give an anchor effect to an electric conduction pattern.

[0031] It is the plate which has the 1st front face which changes from a flat side to the 7th, and the 2nd front face which has the heights formed in desired height, and counters and grows into

the 1st front face of the above, and the aforementioned heights are solved with constituting two or more 1st pads in a semiconductor device loading field or its near.

[0032] To the octavus, the aforementioned heights are solved with constituting the wiring formed by the 1st pad of the above, and one.

[0033] To the 9th, the aforementioned heights are solved with constituting the 2nd pad prepared by the aforementioned wiring and one.

[0034] It solves by utilizing the 1st pad of the above, and/or the 2nd pad of the above for the 10th as a bonding pad or a pad for solder ball fixing.

[0035] To the 11th, the aforementioned heights are solved with constituting the die pad prepared in the aforementioned semiconductor device loading field.

[0036] To the 12th, the aforementioned heights are solved with constituting the fixing pad for passive elements, and/or the electrode for external extraction.

[0037] Furnishing [ of a semiconductor maker's back process ] becomes possible [ mounting of a semiconductor device, electrical installation with a pad, closure, etc. ] for the plate which constituted the electric conduction pattern from heights. Therefore, like the conventional leadframe, a plate can be supplied for example, from a leadframe maker, and a semiconductor maker can manufacture a hybrid IC.

[0038] Moreover, the closure using the electrical installation and the insulating resin using fixing of a semiconductor device and the metal thin line can adopt this plate as a support substrate, and can lose the substrate as a support substrate like before. Although it exists in the shape of an island or is arranged in the unstable state, since especially bonding pads and die pads (island) are a plate and one, they can lose deformation of curvature etc. Furthermore, although wiring also extends for a long time, it curves and torsion etc. is generated, since it is a plate and one, these problems are solvable.

[0039] Moreover, since a pad is extracted neither by the press nor etching but is constituted from half etching to the front shell reverse side of a plate through an electric conduction coat, intervals, such as a pad or wiring, can be narrowed and a more detailed pattern can be formed. since [ moreover, ] a pad, an electrode, or a die pad consists of a plate and one -- deformation, curvature, etc. -- being lost -- a tie rod -- it can hang and a lead can be made unnecessary Furthermore, after closing an insulating resin and fixing completely, it becomes separable [ a pad a die pad, and wiring ] by polish or \*\*\*\*\*ing, there is also no position gap, and the rear face of a plate can be arranged to a position.

[0040] It solves by forming in the upper surface of the aforementioned heights the electric conduction coat of a different material from the material which constitutes the aforementioned heights the 13th.

[0041] It solves by giving support structure to the 14th at the side of the aforementioned heights.

[0042] To the 15th, the aforementioned electric conduction coat is solved with constituting eaves from the upper surface of the aforementioned heights.

[0043] To the 16th, the aforementioned electric conduction coat is solved by accomplishing from nickel, Au, Ag, or Pd.

[0044] For example, if nickel, Au, Ag, or Pd is adopted as an electric conduction coat, it can substitute for this electric conduction coat as an etching mask, it can constitute curve structure on the side of heights, and, moreover, can form eaves in the front face with the aforementioned electric conduction coat. Furthermore, connection of a metal thin line and fixing of a semiconductor device can be realized at once with this material.

[0045] Cross to the whole surface corresponding to a resin-seal field, and it is formed in the 17th in the shape of a sheet by predetermined thickness from a flat rear face and the aforementioned rear face. It is the plate which has the front face where the heights used as two or more 1st pads and the 1st pad of the above which are prepared in a semiconductor device loading field or its near, and the wiring formed by one are formed in the field surrounded in a contact field with metal mold. the upper -- The field surrounded in a contact field with metal mold on the above at least is solved with constituting a closed space from metal mold on the aforementioned front face and the above.

[0046] Cross to the whole surface corresponding to a resin-seal field, and it is formed in the 18th in the shape of a sheet by predetermined thickness from a flat rear face and the aforementioned rear face. The plate which has the front face where the heights used as two or more 1st pads and the 1st pad of the above which are prepared in a semiconductor device loading field or near, and the wiring formed by one are formed in the field surrounded in a contact field with metal mold is prepared. the upper -- While carrying a semiconductor device in the aforementioned semiconductor device loading field, the aforementioned semiconductor device is electrically connected with the 1st pad of the above. It solves by having the process which carries the aforementioned plate in metal mold, removes the plate which fills up with a resin the space which consists of metal mold on the aforementioned plate and the above, and is exposed to the rear face of the resin by which restoration was carried out [ aforementioned ], and separates the aforementioned heights, respectively.

[0047] To the 19th, the whole region of the rear face of the aforementioned plate corresponding to the aforementioned resin-seal field is solved by being contacted by the Shimokane type.

[0048] Since a plate is formed in the shape of a sheet, the rear face of a plate is crossed and is contacted by the Shimokane type on the whole surface, and moreover, since electric conduction patterns, such as a pad, are arranged in the aforementioned closed space, they do not have completely discharging the barricade stated with the technical problem which invention solves.

[0049] Moreover, since the thin shape and lightweight-ization of a semiconductor device can be realized since it consists of insulating resins which close an electric conduction pattern, a semiconductor device, and these and a substrate can be lost by these manufacture methods, and the track is moreover embedded, a track does not exfoliate from an insulating resin.

Moreover, by forming an electric conduction coat in the front face of an electric conduction foil, the lead and island which have eaves can be formed in a front face, and an anchor effect can be generated.

[0050]

[Embodiments of the Invention] Gestalt drawing 1 A of the 1st operation excels the hybrid IC of a conventional type and the hybrid IC which adopted the leadframe explaining a plate in the effect, and shows the plate which can realize a thin package more.

[0051] As this plate 50 is shown in drawing 1 A, the pattern of the conventional hybrid IC is formed with the electric conduction coat 56.

[0052] That is, it is the plate 50 which has the 1st front face 52 which consists of a flat side, and the 2nd front face 53 which is countered and established in the 1st front face 52 of the above, and consists of a flat side, and the 1st electric conduction coat 56 of two or more 1st pads 55 and a real same pattern prepared in the semiconductor device loading field 54 or its near is formed in the 2nd front face 53 of the above.

[0053] As for this plate 50, etching-proof masks, such as a photoresist, may be formed instead of the aforementioned electric conduction coat 56. In this case, an electric conduction coat is formed in the portion corresponding to a bonding pad at least, and all patterns are covered with a photoresist.

[0054] The feature of this invention is in the aforementioned plate. Half etching is carried out through the electric conduction coat 56 or photoresist of a plate 50, a semiconductor device 57 is carried in this, and it closes by the insulating resin 58 so that next explanation may show. And the plate 50 exposed to the rear face of the insulating resin 58 is processed by etching, polish, or grinding until the 1st pad 55 of the above is separated. By adopting this manufacture method, it can constitute from three material of the insulating resin 58 embedding a semiconductor device 57, the 1st pad 55, and this 1st pad 55. And finally this plate 50 can be operated as a hybrid IC.

[0055] The greatest feature of this structure is that the etching-proof mask is formed in the front face of a plate 50 so that half etching can be carried out.

[0056] Generally, as for etching, etching progresses also to a longitudinal direction as etching progresses to lengthwise. for example, the length which in the case of isotropic etching this phenomenon appears notably and \*\*\*\*\*s in the lengthwise etching depth and a lengthwise longitudinal direction -- parenchyma -- it becomes the same Moreover, in an anisotropy, although there is very less length which \*\*\*\*\*s in a longitudinal direction than isotropy, it

\*\*\*\*\*s in the aforementioned longitudinal direction.

[0057] That is, when a pattern is extracted so that a leadframe may be penetrated from a table to the reverse side, the interval with the electric conduction pattern which it \*\*\*\*\*s in a longitudinal direction between electric conduction patterns, and adjoins the 1st pad 55 cannot be made smaller than the value of a certain limitation, but formation of a detailed pattern is difficult for it.

[0058] However, if the electric conduction coat 56 or a photoresist is formed in a plate 50 and half etching is carried out after that, since the lengthwise etching depth will become shallow, the lateral amount of etching can be suppressed and the 1st more detailed pad 55 can be realized.

[0059] As for this, the same is said of other electric conduction patterns 59, for example, a die pad, wiring 60, the fixing pad 61, and the method electrode 62 of external extraction. Hereafter, these are named generically and it is called an electric conduction pattern.

[0060] For example, if it \*\*\*\*\*s until it forms the electric conduction coats 56, such as nickel, Ag, Au, or Pd, as an electric conduction coat by which patterning was carried out to the plate 50 with a thickness of 2 unciae (70 micrometers), it makes this into a mask and it penetrates completely, the interval of an electric conduction pattern is what was made the narrowest, and will become 70 micrometers of parenchyma. However, if the electric conduction coat 56 is utilized as an etching-proof mask and a plate 50 is \*\*\*\*\*ed by 35-micrometer Fukashi, the interval of an electric conduction pattern is narrowly processible to 35 micrometers of parenchyma. That is, the mounting efficiency of double precision is realizable. As the depth of half etching becomes shallow to a plate, the detailed pattern of this detailed pattern becomes more more possible.

[0061] Moreover, considering an etching facility, mass-production nature, and a manufacturing cost, in the plate 50 of this invention, wet etching is desirable. However, wet etching is a non-anisotropy and has comparatively much lateral etching. Therefore, half etching using the electric conduction coat 56 or the photoresist is excellent in formation of a more detailed electric conduction pattern.

[0062] since [ moreover, ] an electric conduction pattern appears by carrying out half etching through the electric conduction coat 56 or a photoresist and it consists of a sheet-like plate 50 and one -- a tie rod -- it hangs and formation of a lead is unnecessary. Therefore, after closing by the insulating resin 58, the process which removes a tie rod, and the process which hangs and omits a lead can also be abolished.

[0063] Moreover, in the plate 50 of this invention, since an electric conduction pattern changes by the plate 50 and one, as long as the plate 50 is being fixed, it is lost that an electric conduction pattern shifts or curves.

[0064] Therefore, it has the feature which the bonding to the 1st pad 61 is also stabilized and can do it. Furthermore, it hangs, and since the lead is unnecessary, the need of hanging and taking intersection with a lead into consideration is lost, and it has the merit which can arrange an electric conduction pattern now in arbitrary positions.

[0065] moreover, the plate 50 -- a guide -- it is convenient, in case a plate 50 is carried in metal mold, if a hole 63 is formed

[0066] this guide -- holes 63 are a guide pin and a real same configuration, by the electric conduction coat or the photoresist, patterning of them is circularly carried out to a corresponding position, are formed in it, and may carry out opening by the drill, punching, or etching along with this pattern before a mould. Moreover, you may prepare that by which opening was carried out beforehand. this guide -- by inserting the guide pin of metal mold in a hole 63, a mould with a high position precision becomes possible

[0067] As mentioned above, an electric conduction pattern appears by carrying out half etching through the electric conduction coat 56 or a photoresist, and this becomes possible [ adopting as a conventional leadframe ].

[0068] Generally a semiconductor device maker is divided into a last process and a back process, and has works, and the etching facility is not usually installed at the back process which adopts and carries out the mould of this plate 50. Therefore, the manufacture of the hybrid IC which used this plate of a semiconductor maker is attained from a leadframe maker by installing

a membrane formation facility of an electric conduction coat, and an etching facility by purchasing the plate with which the electric conduction coat or the photoresist was formed. As the plate 50 explaining a plate of \*\*\*\*\* of the 2nd operation is shown in drawing 1 B, half etching is carried out through the aforementioned electric conduction coat 56, and an electric conduction pattern is formed in convex. In addition, half etching may be carried out using a photoresist instead of an electric conduction coat.

[0069] That is, it is the plate 50 which has the 1st front face 52 which consists of a flat side, and the 2nd front face 53 which has the heights 70 formed in desired height, and counters and grows into the 1st front face 52 of the above, and the aforementioned heights 70 constitute two or more 1st pads 55 in the semiconductor device loading field 54 or its near.

[0070] This plate 50 is substantially the same as that of the composition of the plate explained with the gestalt of the 1st operation, and an effect. A difference is the point that half etching of the electric conduction pattern is carried out.

[0071] Therefore, the point by which half etching is carried out is described here. That is, the semiconductor maker, especially the back process do not have the lithography facility of a plating facility of the plate which consists of Cu, etching, etc. Therefore, if the plate 50 with the electric conduction pattern which consists of heights is purchased by half etching, the same handling as the conventional leadframe of a plate will become possible, and manufacture of it will be attained with a facility of an established back process.

The plate 50 explaining the manufacture method of the semiconductor device which adopted the plate in which the 3rd operation carried out the gestalt above-mentioned is adopted, it even adopts that a semiconductor device 73 is manufactured and drawing 1 – drawing 3 are explained.

[0072] A plate 50 is first prepared like drawing 1. The 1st front face 52 and the 2nd front face 53 of this plate 50 are flat, and the electric conduction coat 56 or photoresist by which the electric conduction pattern was imitated is further formed in the 2nd front face. In addition, an electric conduction pattern is the portion by which hatching was carried out with the slash. Moreover, when adopting a photoresist instead of an electric conduction coat, an electric conduction coat is formed in the portion corresponding to a bonding pad at least at the lower layer of a photoresist. see the drawing 1 A above)

Then, half etching of the plate 50 is carried out through the aforementioned electric conduction coat 56 or a photoresist. The etching depth should be just shallower than the thickness of a plate 50. In addition, as the depth of etching is shallow, formation of a detailed pattern is more possible.

[0073] And by carrying out half etching, an electric conduction pattern appears in convex on the 2nd front face of a plate 50 like drawing 1 B. In addition, the layered product of Cu-aluminum and the layered product of aluminum-Cu-aluminum are sufficient as a plate 50. Especially the layered product of aluminum-Cu-aluminum can prevent the curvature generated according to the difference of a coefficient of thermal expansion.

[0074] For example, in a semiconductor maker, it can shift to the following processes easily with the existing facility by purchasing the plate 50 with which the plate 50 of drawing 1 A was purchased from the leadframe maker when the back process had the etching facility, and half etching was carried out when there was no etching facility in a back process, and the electric conduction pattern became convex, without introducing a facility of what. see the drawing 1 B above)

Then, a semiconductor device 57 is fixed to the semiconductor device loading field 54, and the bonding electrode and the 1st pad 55 of a semiconductor device 57 are connected electrically. In a drawing, since a semiconductor device 57 is mounted by FEISU rise, the metal thin line 71 is adopted as connecting means.

[0075] In this bonding, the 1st pad 55 is a plate 50 and one, and moreover, since the rear face of a plate 50 is a flat, it is contacted by the table of a bonding machine in a field. Therefore, if a plate 50 is completely fixed to a bonding table, there is also no position gap of the 1st pad 55, bonding energy can be efficiently told to a metal thin line and the 1st pad 55, and the bond strength of a metal thin line can be raised. vacuum suction of plurality [ fixation / of a bonding table / surface / table / for example, / whole ] -- it becomes possible by preparing a hole .

[0076] Moreover, when adopting a FEISU down type semiconductor device, bumps, such as a solder ball, and Au, solder, are formed, the electrode on a semiconductor device 57 is arranged so that the 1st pad 55 may come to right under [ this ], and both fix it.

[0077] Moreover, in the fixing pad 61, the passive element 72 has fixed through conductive paste, such as low material, such as solder, and Ag paste, etc. In addition, passive elements employable here are a chip resistor, a chip capacitor, printing resistance, a coil, etc.

[0078] And the insulating resin 58 is formed so that the aforementioned electric conduction pattern, a semiconductor device 57, and connecting means may be covered.

[0079] for example, the case where it closes using metal mold -- this stage -- a guide -- opening of the hole 63 is carried out, the guide pin of metal mold is inserted here, and arrangement of the plate 50 with a high precision is realized. The field of the eye a flat hatchet and the Shimokane type is also formed in a flat. [ front face / 1st / of a plate 50 / 52 ]

[0080] Then, the insulating resin 58 is poured in. As an insulating resin, thermoplasticity and thermosetting whichever are sufficient.

[0081] Moreover, it is realizable with a transfer mold, injection molding, dipping, or an application. As a resin material, thermosetting resin, such as an epoxy resin, can be realized by the transfer mold, and thermoplastics, such as a liquid crystal polymer and polyphenylene sulfide, can be realized by injection molding.

[0082] With the form of this operation, the thickness of an insulating resin is adjusted so that about 100 micrometers may be covered upwards from the crowning of the metal thin line 71. This thickness can also be made [ also thickening in consideration of the intensity of a semiconductor device, and ] thin.

[0083] In addition, in pouring, since an electric conduction pattern changes by the sheet-like plate 50 and one, unless it has a gap of a plate 50, there is no position gap of an electric conduction pattern. Fixation of Shimokane type and plate 50 rear face is realizable by vacuum suction also here.

[0084] As mentioned above, to the insulating resin 58, the electric conduction pattern and semiconductor device which were formed as heights are embedded, and the downward plate 50 is exposed to the rear face rather than heights. see drawing 2 above)

Then, the plate 50 exposed to the rear face of the aforementioned insulating resin 58 is removed, and an electric conduction pattern is separated separately.

[0085] The partition stage here can consider various methods, may remove a rear face by etching, and may delete it by polish or grinding. Moreover, you may adopt both. For example, when it deletes until the insulating resin 58 is exposed, there is a problem to which the metal of the shape of a barricade thinly lengthened by the shaving dregs and the outside of a plate 50 eats into the insulating resin 58. Therefore, it can form, without the metal of a plate 50 eating into the insulating resin located between electric conduction patterns, if a delete lump is stopped and etching separates an electric conduction pattern after that in this side which the insulating resin 58 exposes. Thereby, the short circuit of the electric conduction patterns of a detailed interval can be prevented.

[0086] Moreover, by half etching, variation occurs in the thickness of an insulating resin by the variation in the etching depth. Therefore, after separating a lead, the package of fixed thickness can be formed with a sufficient precision by deleting to target thickness by polish or grinding.

[0087] And when two or more semiconductor devices 73 and one units which change are formed, the process which carries out dicing as each semiconductor device 60 is after the process of this separation.

[0088] Although dicing equipment was adopted and it has dissociated separately here, chocolate breaking, or a press and a cut are also possible. see drawing 3 above)

A small and light package is realizable by the above manufacture method with three elements of two or more electric conduction patterns, a semiconductor device 57, and the insulating resin 58.

[0089] Next, the effect generated by the above manufacture method is explained.

[0090] First, since half etching is carried out and the electric conduction pattern is supported by the 1st united with the plate, to it, it can lose the substrate used as a conventional support

substrate.

[0091] Since the electric conduction pattern which half etching was carried out and became heights is formed, detailed-ization of an electric conduction pattern of a plate is attained [ 2nd ]. Therefore, electric conduction pattern width of face and an electric conduction pattern interval can be narrowed, and the small package of flat-surface size can be formed more.

[0092] Since three aforementioned element is consisted of by the 3rd, it can constitute from necessary minimum, a useless material can be lost as much as possible, and the semiconductor device 73 of the thin shape which held down cost sharply can be realized.

[0093] since a die pad 59, wiring 60, and pads 55 and 61 change with heights, and are formed [ 4th ] by half etching and individual separation is performed after closure -- a tie rod -- it hangs and a lead becomes unnecessary Therefore, formation of a tie rod (it hangs and leads) and the cut of a tie rod (it hangs and leads) become completely unnecessary in this invention.

[0094] Since the plate was removed from the rear face of an insulating resin and the lead is separated after the electric conduction pattern which became [ 5th ] heights is embedded to an insulating resin, the resin barricade generated between leads can be lost like the conventional leadframe.

[0095] Since the rear face of a semiconductor device is [ 6th ] exposed from the rear face of the insulating resin 58, the heat generated from this semiconductor device 73 can be efficiently emitted from the rear face of this semiconductor device. Drawing 4 explains an example of an electric conduction pattern. In order that a hybrid IC may operate an active element and a passive element as an IC circuit, a metal thin line and wiring are formed.

[0096] Here, as a semiconductor device, two or more transistor 57A, IC element 57B, etc. are formed, and the passive element 72 is also formed of the need. Moreover, pad 55A-- and 55B-- are formed in the circumference of this element for electrical installation. Moreover, wiring 55 is formed with various forms. For example, according to the desired circuit, the wiring 60 formed by 1st pad 55B and one has extended for a long time so that the land 57 from the end of a semiconductor device to the other end may be bypassed.

[0097] Thus, wiring 55 has a short thing, a long thing, what has width of face thick as a power supply, a long thing thin as an object for I/O of a signal, and various things. However, unlike a leadframe, these wiring consists of a plate and one, and since it dissociates after closing, it has the feature without deformation of curvature etc. Moreover, since the side can be made a curve or eaves can be formed with the electric conduction coat on an electric conduction pattern, it has the feature which can suppress the omission of the wiring from an insulating resin.

Form drawing 5 of the 4th operation shows the plate 80 explaining a plate with which the pattern was formed of the electric conduction coat CF like the form of the 1st operation. In addition, you may form a photoresist instead of the electric conduction coat CF. In this case, an electric conduction coat is formed in the portion corresponding to a bonding pad at the lower layer of a photoresist. Moreover, in order that drawing 12 may explain a detailed configuration, it explains only an outline here.

[0098] the pattern of drawing 5 is the thing thing which materialized drawing 1 more, the pattern unit 83 which becomes one semiconductor device by the electric conduction pattern specifically surrounded by the dotted line is formed in the shape of a matrix, and this is surrounded -- as -- metal mold -- the contact field 84 is formed in the shape of a ring with predetermined width of face That is, the pattern formed in one cavity is shown.

[0099] this metal mold -- the alignment marks 85 and 86 are formed inside the contact field 84 The line which the line which connects the doubling marks 85A and 86A shows a lateral dicing line, and connects the doubling marks 85B and 86B shows a lengthwise dicing line. Moreover, each doubling mark is formed in at least one short straight line, and the sense of the blade of dicing equipment is adjusted on the basis of this straight line. It doubles here, and a desired interval (margin) is prepared and the mark consists of two straight lines so that a blade can delete in a desired precision.

[0100] furthermore, the metal mold mentioned above -- the outside of the contact field 84 -- a guide -- the 1st pattern 87 for forming a hole and the 2nd pattern 88 are formed the character of 10 of the 2nd pattern 88 -- a guide -- it is a centering mark at the time of forming a hole with

a drill moreover, the \*\* which does not form this pattern -- beforehand -- the guide of the same configuration as the 1st pattern -- the hole may be prepared

[0101] as mentioned above, the mark of a dicing line and metal mold -- if the contact field 84 is removed, since it is the same as that of the gestalt of the 1st operation, the feature and effect of a gestalt of this operation will be omitted

The form book plate 90 explaining a plate of the 5th operation is a configuration shown in drawing 6, and half etching is carried out through the electric conduction coat CF shown in the form of the 4th operation, or a photoresist.

[0102] moreover, the thing by which the conventional leadframe, for example, SIP, DIP, QIP, etc., is substituted for this plate 90 -- it is -- an electric conduction pattern and metal mold -- half etching of the field except the today's field 84 is carried out However, a die pad does not surely need to be formed, and heat dissipation nature may be taken into consideration and it may be omitted. Moreover, you may also form the 1st doubling mark 87 and the 2nd doubling mark 88 in convex by half etching.

[0103] That is, it consists of the plate which has the 1st front face 91 which consists of a flat side, and the 2nd front face 93 which has the heights 92 formed in desired height, and counters and grows into the 1st front face 91 of the above, and the aforementioned heights 92 constitute two or more 1st pads 93 prepared in the semiconductor device loading field 95 or the semiconductor device loading field 95 by approaching, and change.

[0104] This plate 90 has the feature from which each pattern is in the state by which half etching was carried out, fixing of a semiconductor device, electrical installation, and closure of it are attained as it is, and manufacture of it is attained with the existing facility of a back process. In addition, since the gestalt of the 1st operation and the gestalt of the 4th operation explain the effect, it omits here.

the gestalt of the 6th operation explaining the manufacture method of a semiconductor device -- the manufacture method is explained using drawing 5 – drawing 12 below

[0105] A plate 80 is first prepared like drawing 5. As for this plate 80, the electric conduction foil of the shape of a sheet which the adhesion of low material, bonding nature, and plating nature are taken into consideration, and the material is chosen, and consists of alloys, such as an electric conduction foil which made Cu the main material as a material, an electric conduction foil which made aluminum the main material, or Fe–nickel, the layered product of Cu–aluminum, the layered product of aluminum–Cu–aluminum, etc. are adopted. and -- the front face of this plate 80 -- the 1st fixing pad 93, a die pad 82, wiring 94, and metal mold -- the contact field 84, the doubling marks 85 and 86, and patterns 87 and 88 are formed of the electric conduction coat or the photoresist

[0106] When the thickness of an electric conduction foil took next etching into consideration, 10 micrometers – about 300 micrometers were desirable, and 70 micrometers (2 unciae) copper foil was adopted here. However, 300 micrometers or more or at least 10 micrometers or less are fundamentally good. see drawing 5 above)

then -- at least -- the 1st fixing pad 93, a die pad 82, wiring 94, and metal mold -- there is a process which removes more shallowly than the thickness of a plate 80 the plate 80 except the field used as the contact field 84, the doubling marks 85 and 86, and patterns 87 and 88

[0107] Here, the electric conduction coat CF or a photoresist is used as an etching-proof mask, and the aforementioned separation slot 100 is formed more shallowly than the thickness of a plate 80.

[0108] By this manufacture method, it has the feature \*\*\*\*\* in non-anisotropy by wet etching or dry etching, the side turns into a split face, and it is moreover featureless for curving.

[0109] In the case of wet etching, generally as for etchant, a ferric chloride or a cupric chloride is adopted, dipping of the aforementioned electric conduction foil is carried out into this etchant, or the shower ring of this etchant is carried out.

[0110] Directly under the electric conduction coat CF used as especially an etching mask, or a photoresist, lateral etching seldom progresses and a portion deeper than it \*\*\*\*\*s in a longitudinal direction. Therefore, since the diameter of opening of opening corresponding to the position becomes small as it goes to the upper part from the unilateral side of the separation slot

100, it becomes back taper structure and becomes the structure of having support structure. Moreover, by adopting a shower ring, etching progresses toward the depth direction, and since lateral etching is suppressed, this support structure appears notably.

[0111] Moreover, in the case of dry etching, it can etch with an anisotropy and a non-anisotropy. Although it is said that it is impossible to remove Cu by reactive ion etching now, it is removable by sputtering. Moreover, it can etch with an anisotropy and a non-anisotropy according to the conditions of sputtering.

[0112] Moreover, the material considered as an electric conduction coat is Ag, Au, Pt, or Pd. And the electric conduction coat of these corrosion resistance has the feature utilizable as it is as a die pad and a bonding pad.

[0113] For example, it pastes up with Au and low material pastes up Ag coat. Therefore, if Au coat is covered by the chip rear face, the thermocompression bonding of the chip can be carried out to Ag coat on a die pad 82 as it is, and a chip can be fixed through low material, such as solder. Moreover, since Au thin line can be pasted up on the electric conduction coat of Ag, wire bonding also becomes possible. Therefore, it has the merit which can utilize these electric conduction coats as a die pad and a bonding pad as they are. see drawing 6 above)

Then, there is a process which mounts a semiconductor device 101 in the die pad 82 in which the separation slot 100 was formed like drawing 7.

[0114] As a semiconductor device 101, they are a transistor, diode, IC chip, etc. Moreover, although it is thick thin, SMD (semiconductor device of a face down), such as wafer scale type CSP and BGA, can also be mounted.

[0115] Here, die bonding of the transistor 101 of raise in basic wages is carried out to a die pad 82, and the bonding pad and the 1st pad 93 on a transistor 101 are connected through the metal thin line 102 which fixes with the ball bonding by thermocompression bonding, or the wedge bonding by the ultrasonic wave.

[0116] Moreover, although the size of the 1st pad 93 shown in drawing is very small, it is a plate 80 and one. Therefore, the energy of a bonding tool can be told and it has the merit improving [ bonding nature's ]. Moreover, in the cut of the metal thin line after bonding, the pull cut of the metal thin line may be carried out. Since the 1st pad changes by the plate 90 and one at this time, the phenomenon in which a bonding pad floats can be abolished and pull-cut nature also improves. see drawing 7 above)

Furthermore, as shown in drawing 8, there is a process which adheres the insulating resin 103 to the separation slot 100 where the side curved. This is realizable with a transfer mold, injection molding, dipping, or an application. As a resin material, thermosetting resin, such as an epoxy resin, can be realized by the transfer mold, and thermoplastics, such as a liquid crystal polymer and polyphenylene sulfide, can be realized by injection molding.

[0117] With the form of this operation, the thickness of an insulating resin is adjusted so that about 100 micrometers may be covered upwards from the crowning of the metal thin line 102. This thickness can also be made [ also thickening in consideration of the intensity of a semiconductor device, and ] thin.

[0118] A plate 80 is with a support substrate and a bird clapper until the feature of this process covers the insulating resin 103 and it hardens. In the conventional hybrid IC, although support substrates, such as a glass epoxy-group board, a flexible sheet, or a ceramic substrate, are required, by this invention, it becomes unnecessary.

[0119] Furthermore, since the separation slot 100 with curve structure is filled up with the insulating resin 103, an anchor effect occurs in this portion and peeling of the aforementioned electric conduction pattern from the insulating resin 103 can be prevented.

[0120] In addition, in order to protect the connection of a semiconductor chip metallurgy group thin line before covering the insulating resin 103 here for example, you may carry out potting of the silicone resin etc.

[0121] Drawing 9 illustrates this mould method. Drawing 9 A is the cross section showing the state where it filled up with the resin in the mold cavity 105 in metal mold 104. the rear face of a plate 90 -- Shimokane type 104A -- the whole region -- crossing -- contacting -- \*\*\* -- the upper -- metal mold -- 104B -- metal mold -- it turns out that it has contacted in the contact

field in addition, the sign V -- vacuum suction -- it is a hole Drawing 9 B shows the state where Shimokane type 104A was equipped with the plate 90. the guide by which a sign 105 is the guide pin attached in Shimokane type 104A, and opening was carried out to the plate 90 -- the guide pin 105 is showing up through the hole

[0122] Drawing 9 C is drawing explaining the relation between the cavity 105 formed in metal mold, a runner 107, and a pot 106. As shown in drawing, two or more cavities 105 are arranged by the longitudinal direction, and it is designed so that many semiconductor devices can be taken by one leadframe. The sign 108 shown by the dotted line shows the arrangement field of a plate, for example, it is equipped with it by the treatment as the conventional leadframe with same plate 109 like drawing 11 . As for this, two or more plates of drawing 6 are formed by one.

Moreover, the semiconductor device itself manufactured with this plate has small size, and much \*\*\*\* are possible within one cavity, and it can mass-produce and has the feature which leads to reduction of a manufacturing cost. see drawing 8 and drawing 9 above)

Then, the plate closed from metal mold 104 is taken out, the plate 90 exposed to the rear face of the insulating resin 103 is removed, and there is a process which separates electric conduction patterns, such as the 1st pad and a die pad.

[0123] Drawing 10 A is the plan having shown the line to separate, and drawing 10 B shows that the rear face of the insulating resin 103, the rear face of the 1st pad, or whose rear face of the insulating resin 103 and rear face of a die pad corresponded. This becomes possible by shaving off until the separation slot 100 is exposed with polish equipment. In addition, insulating coats, such as a solder resist, may be formed in a rear face, and electrical installation may expose only a required portion.

[0124] Moreover, drawing 10 C stops this polish on the way, and heights 111 are formed in the other end 110 of the 1st pad. This forms a photoresist in the portion corresponding to heights 111, and becomes possible by \*\*\*\*\*ing portions other than this. And the insulating coat 112 is formed so that heights 111 may be exposed. By carrying out like this, a short circuit with the conductor by the side of the mounting substrate passed under a die pad 82 can be prevented. Moreover, it becomes in fixing through low material, without prolonging the solder which was damp in the 1st pad, and contacting the next pad 81 and an island 82. As it grows especially into a detailed pattern; this insulating coat becomes more effective.

[0125] And finally, this leadframe 90 by which the mould was carried out is arranged on a dicing table, the position of a blade is adjusted on the basis of the doubling marks 85 and 86, dicing is carried out along with the line shown by the dotted line, and it completes as a semiconductor device 113.

[0126] In addition, diode and IC are sufficient although the transistor is only mounted in the die pad 82 by this manufacture method. Moreover, in order for two or more semiconductor chips to fix to one island depending on structure and to fix each semiconductor chip, you may prepare an island, respectively. Then, the semiconductor device adopted with the form of this operation is explained further, referring to drawing 12 .

[0127] Wiring L1 and L2 is formed as an electric conduction pattern 151, land-like electrode 151B and CE-J are formed as the 1st pad and/or an electrode for external ejection, and, as for this structure, 151A and 151D are formed as a die pad.

[0128] It is in IC circuit from a large-scale circuit to a small-scale circuit. However, there is also convenience of a drawing and a small-scale circuit is shown in drawing 12 A here. The differential-amplifier circuit and current Miller circuit by which this circuit is used abundantly at the amplifying circuit of an audio are connected. The aforementioned differential-amplifier circuit consists of TR1 and TR2 like drawing 12 A, and the aforementioned current Miller circuit mainly consists of TR3 and TR4.

[0129] Drawing 12 B is a plan when realizing the circuit of drawing 12 A to this semiconductor device, and a cross section [ in / the A-A line of drawing 12 B / in drawing 12 C ] and drawing 12 D are the cross sections in a B-B line. Die-pad 151A in which TR1 and TR3 are mounted is prepared in left-hand side, and die-pad 151D in which TR2 and TR4 are mounted is prepared in right-hand side. The electrodes 151B, 151E-151G for external connection are formed in these die-padsA [ 151 ] and 151D bottom, and 151C, 151H-151J are prepared in the bottom. And since

common connection of the emitter of TR1 and the emitter of TR2 is made, wiring L2 is formed united with Electrodes 151E and 151G. Moreover, since common connection of the base of TR3, the base of TR4, and the emitter of TR3 and the emitter of TR4 is made, wiring L1 is formed united with Electrodes 151C and 155J, and wiring L3 is formed united with Electrodes 155H and 155I.

[0130] The feature of this invention is in these wiring L1-L3. If drawing 4 explains, wiring 60 corresponds to this. Although these wiring changes with degrees of integration of this hybrid IC, width of face is very as narrow as 25 micrometer-. In addition, this width of face of 25 micrometers is the number-of-cases value which adopted wet etching, and if dry etching is adopted, this width of face can do it still more narrowly.

[0131] Wiring L1 only exposes a rear face, and all the other sides are supported by the insulating resin 150 so that clearly also from drawing 12 D. Moreover, if another expression is carried out, since wiring is embedded to the insulating resin 150, it becomes possible to prevent the omission of wiring, and curvature. That the side of a track changes by the split face especially, changing by curve, by forming eaves in the front face of a track, etc., an anchor effect occurs and it becomes the structure where the aforementioned track cannot fall out from an insulating resin easily.

[0132] Moreover, since it is embedded by the insulating resin as mentioned above, even if external force is added from the external lead which fixes, the electrodes 151B, 151C, 1551E-151J for external connection do not separate, but serve as \*\*\* structure. Then, two or more transistors are adopted, and it explains, referring to drawing 13 - drawing 16 about the pattern of the semiconductor device which constitutes an easy circuit. In addition, the rectangle shown most outside shows the appearance of a semiconductor device.

[0133] Semiconductor devices 203 and 204 fix drawing 13 to each die pad 200 and 201, and the metal thin line is connected to the electrodes 205-207 which served both as the 1st pad and the electrode for external ejection. Moreover, an electrode 206 makes two metal thin lines this potential, and omits the wiring formed in inter-electrode. That is, an electrode 206 functions as wiring for making a bonding pad, an external ejection electrode, and two electrodes into this potential.

[0134] Semiconductor devices 212, 213, 214, and 215 fix drawing 14 to die pads 210 and 211, and the metal thin line is connected to the 1st pad 216-220. Moreover, the electrode 220 consists of a die pad 210 and one, and, in between, the wiring 221 for connection is formed. Moreover, unlike drawing 13, it is dotted with a bonding pad and it is formed.

[0135] The unilateral side, 1st pad 230 -- was formed in the single tier, and semiconductor devices 233-235 have fixed drawing 15 to die pads 231 and 232. Moreover, a die pad 232 functions as the land for fixing and bonding pad of a semiconductor device.

[0136] Furthermore, semiconductor devices 243-245 have fixed drawing 16 to die pads 240-242. And the 1st pad 246, --, 247 is arranged. In addition, a pad 247 makes three electrodes this potential.

[0137] A metal thin line is utilizable as a crossover of a place which crosses if wiring is originally used at the same time it connects between the electrode of a semiconductor device, and bonding pads electrically so that the above explanation may also show. Moreover, although it is being able to say to all examples, the small electric conduction coat of an etching rate is covered to a plate, by carrying out half etching through this electric conduction coat, eaves and curve structure can be realized and an anchor effect can be given.

[0138] For example, if nickel is put, since Cu and nickel can etch at once by the ferric chloride or the cupric chloride, nickel will change with eaves according to the difference of an etching rate and it will be formed on Cu foil, it is suitable.

[0139] Moreover, since the rear face of a semiconductor chip is directly exposed, or an island is exposed and it is thermally combinable with the track of a mounting substrate, the thermolysis nature of a semiconductor device can be raised. Therefore, the temperature of a semiconductor chip can be reduced and the drive capacity of the part semiconductor chip can be raised.

[0140] For example, Power MOS, IGBT, and SIT, the transistor for a high current drive, IC (MOS type, BIP type, Bi-CMOS type) memory device for a high current drive, etc. are suitable.

[0141]

[Effect of the Invention] The plate of this invention has the structure which can carry out half etching of the electric conduction pattern through an electric conduction coat or a photoresist so that clearly from the above explanation. Furthermore, from a table to the reverse side, a plate can be extracted neither by the press nor etching, but can be stopped on the way, and can also be constituted as an electric conduction pattern of a hybrid IC. According to the structure which can adopt this half etching, the interval of an electric conduction pattern can be narrowed and the more detailed pattern for hybrid ICs becomes possible. since [ moreover, ] the 1st pad, a die pad, and wiring consist of a plate and one -- deformation, curvature, etc. -- it can suppress -- a tie rod -- it can hang and a lead can be made unnecessary Furthermore, after closing an insulating resin and fixing completely, it becomes separable [ an electric conduction pattern ] by polish or \*\*\*\*\*ing about the rear face of a plate, there is also no position gap, and an electric conduction pattern can be arranged to a position. And the wiring peculiar to a hybrid IC taken about for a long time can also be arranged that there is no deformation in any way.

[0142] Moreover, the barricade conventionally generated from between a lead and leads can be lost by the electric conduction pattern whole region being arranged in a resin-seal field.

[0143] Moreover, in case it closes by the insulating resin by forming the same pattern as a guide pin, opening can be carried out as a guide pin. Moreover, by carrying out opening of the guide pin beforehand, it can set to the guide pin of the metal mold for closure, and a resin seal with a high precision becomes possible.

[0144] Moreover, if Cu is constituted for a plate from main material and an electric conduction coat is constituted from nickel, Ag, Au, or Pd, an electric conduction coat is utilizable as an etching mask, and further, when half etching is carried out, the side can be made into curve structure, or the eaves by the electric conduction coat can be formed in the front face of an electric conduction pattern, and it can consider as the structure which gave the anchor effect. Therefore, the omission of an electric conduction pattern located in the rear face of an insulating resin and curvature can be prevented.

[0145] Moreover, the die pad itself can be constituted, without hanging and adopting a lead, since it consists of a plate and one.

[0146] Moreover, the semiconductor device manufactured with a plate consists of necessary minimum of tracks, such as a semiconductor device and an electric conduction pattern, and an insulating resin, and turns into a useless semiconductor device which is not at resources.

Therefore, the semiconductor device which can reduce cost sharply is realizable. Moreover, a miniaturization, thin-shape-izing, and the semiconductor device that turned lightweight are very realizable by making covering thickness of an insulating resin, and thickness of an electric conduction foil into an optimum value.

[0147] Moreover, since the rear face of an electric conduction pattern is exposed from the insulating resin, the rear face of an electric conduction pattern can present connection with the exterior immediately, and has the advantage which can make processing of a through hole etc. unnecessary like the flexible sheet of structure conventionally.

[0148] And since the rear face of a die pad is exposed when the semiconductor device has fixed to the direct die pad through electric conduction coats, such as low material, and Au, Ag, heat can be told to a direct mounting substrate for the heat generated from a semiconductor device through a die pad. Mounting of a power element is also attained especially by this heat dissipation nature.

[0149] Moreover, since this semiconductor device can move the semiconductor device itself horizontally as it is even if the front face of a separation slot and the front face of an electric conduction pattern have the structure of having the flat front face which is carrying out real coincidence and it mounts the \*\* pitch QFP etc. in a mounting substrate, it becomes easy [ correction of a gap of the electrode for external ejection ] very [ it ].

[0150] Moreover, the side of an electric conduction pattern is carrying out curve structure, and eaves can be further formed in a front face. Therefore, an anchor effect can be generated and the curvature of an electric conduction pattern and an omission can be prevented.

[0151] Moreover, the whole is supported with a plate till covering of an insulating resin, and, as

for separation of an electric conduction pattern, and dicing, an insulating resin serves as a support substrate. Therefore, as the conventional example explained, it has the merit which stops needing a support substrate and is made in cost and cheaply.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is drawing explaining the plate of this invention.  
**[Drawing 2]** It is drawing explaining the manufacture method of the semiconductor device which adopted the plate of this invention.  
**[Drawing 3]** It is drawing explaining the manufacture method of the semiconductor device which adopted the plate of this invention.  
**[Drawing 4]** It is drawing explaining the electric conduction pattern formed in a plate.  
**[Drawing 5]** It is drawing explaining the plate of this invention.  
**[Drawing 6]** It is drawing explaining the plate of this invention.  
**[Drawing 7]** It is drawing explaining the manufacture method of the semiconductor device which adopted the plate of this invention.  
**[Drawing 8]** It is drawing explaining the manufacture method of the semiconductor device which adopted the plate of this invention.  
**[Drawing 9]** It is drawing explaining the manufacture method of the semiconductor device which adopted the plate of this invention.  
**[Drawing 10]** It is drawing explaining the manufacture method of the semiconductor device which adopted the plate of this invention.  
**[Drawing 11]** It is drawing which adopted the plate as a leadframe.  
**[Drawing 12]** It is drawing which explained the plate of this invention further.  
**[Drawing 13]** It is drawing explaining the plate of this invention.  
**[Drawing 14]** It is drawing explaining the plate of this invention.  
**[Drawing 15]** It is drawing explaining the plate of this invention.  
**[Drawing 16]** It is drawing explaining the plate of this invention.  
**[Drawing 17]** It is drawing explaining the mounting structure of the conventional hybrid IC.  
**[Drawing 18]** It is drawing which realized the hybrid IC using the conventional leadframe.

**[Description of Notations]**

50 Plate  
52 1st Front Face  
53 2nd Front Face  
54 Semiconductor Device Loading Field  
55 1st Pad  
56 Electric Conduction Coat  
57 Semiconductor Device  
60 Wiring  
61 Fixing Pad  
62 Electrode for External Ejection  
70 Heights  
71 Metal Thin Line  
72 Passive Element

---

[Translation done.]

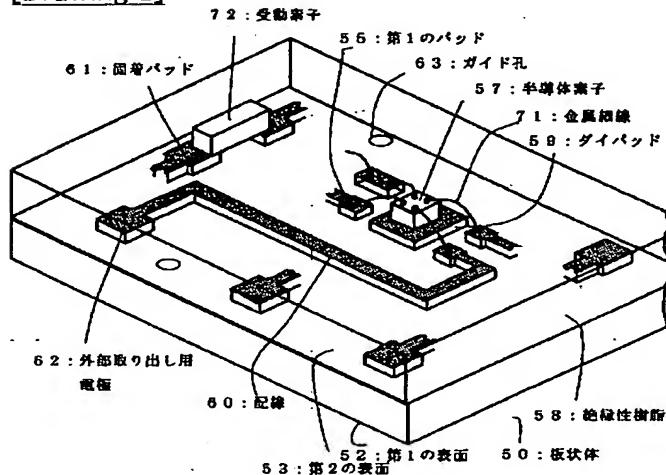
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

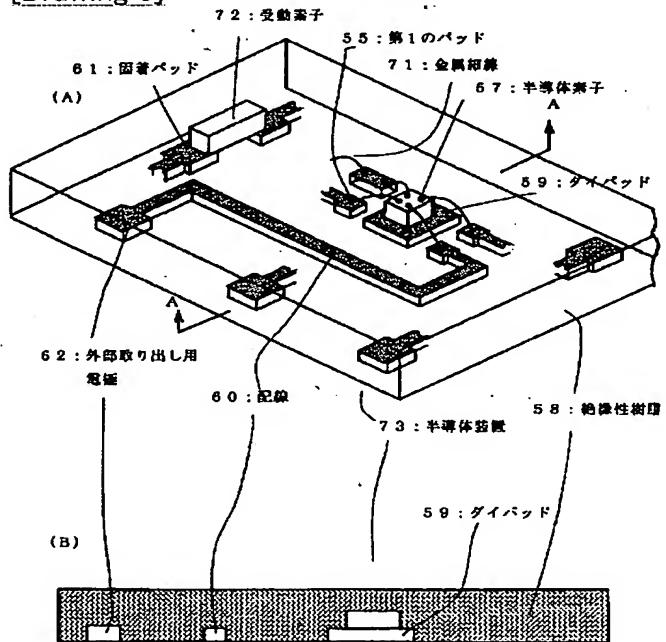
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

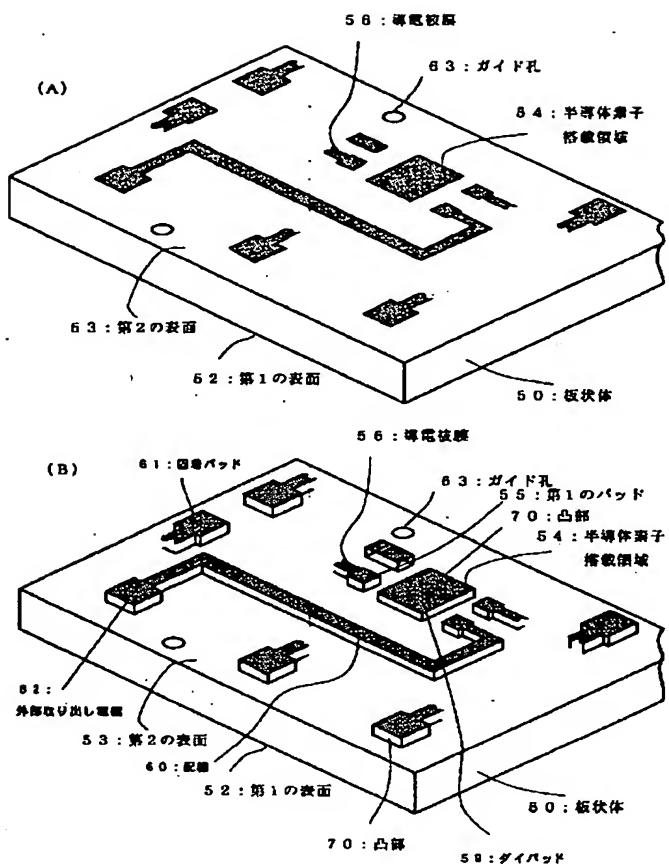
## [Drawing 2]



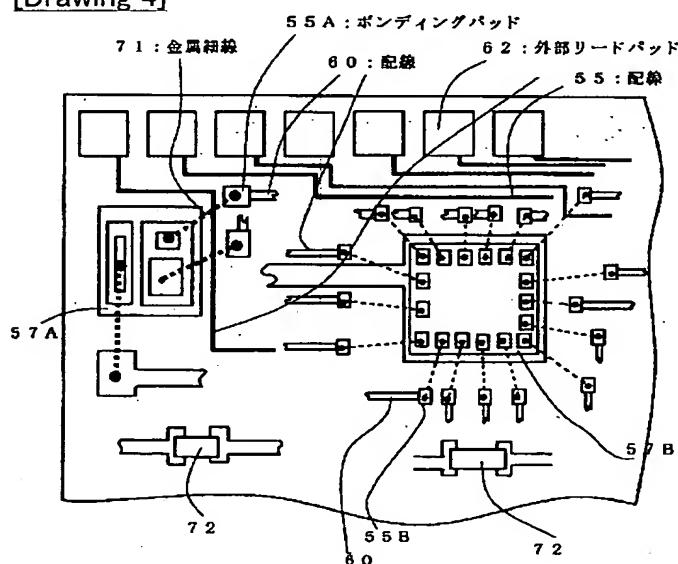
## [Drawing 3]



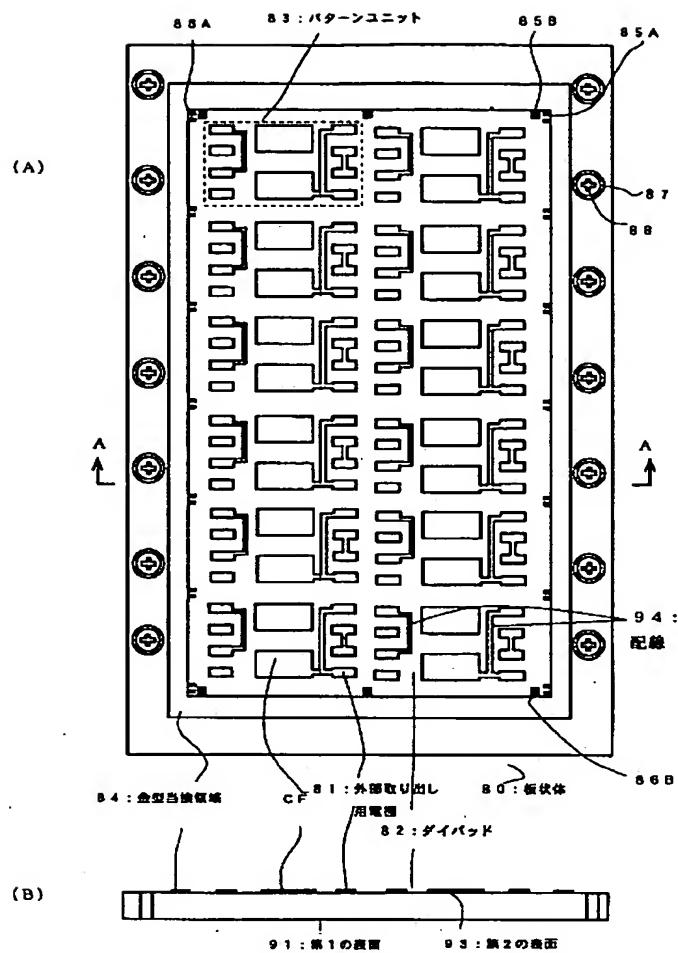
## [Drawing 1]



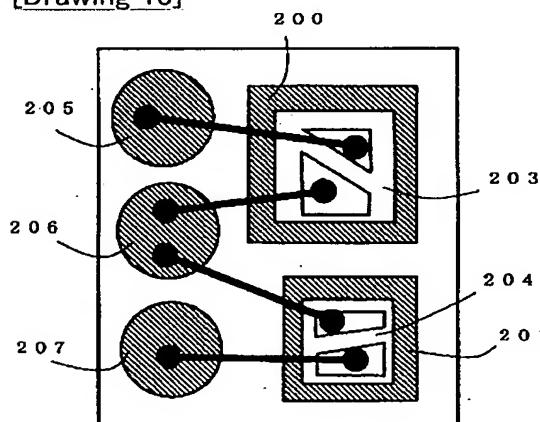
[Drawing 4]



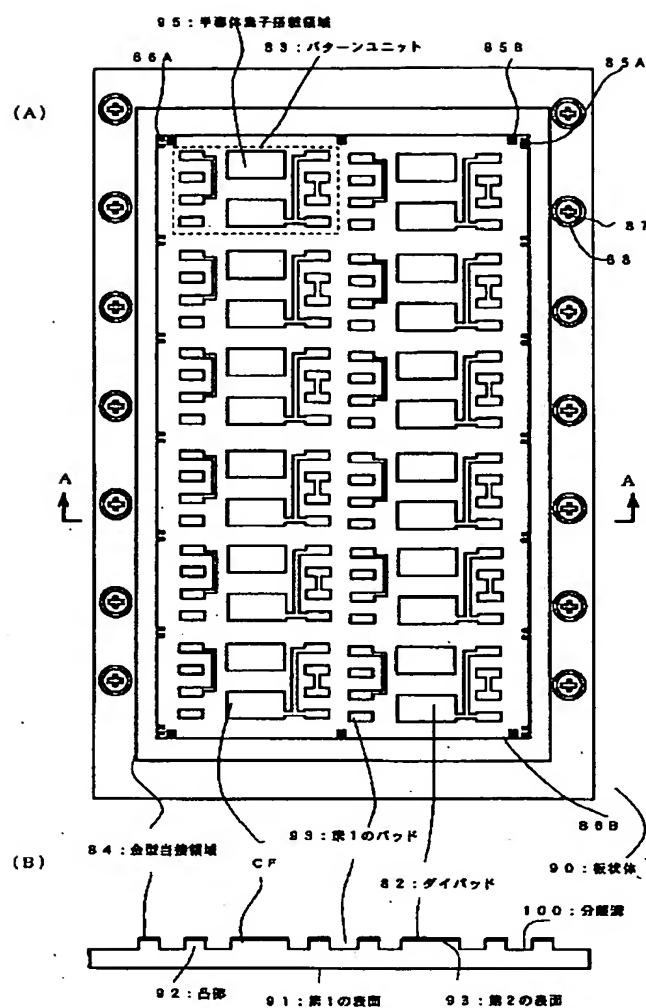
[Drawing 5]



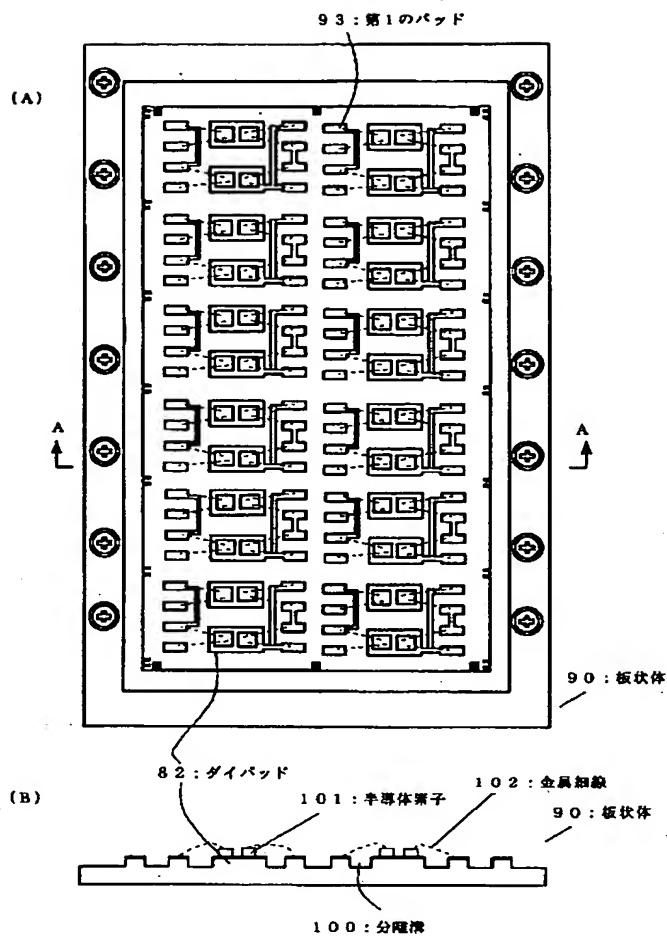
[Drawing 13]



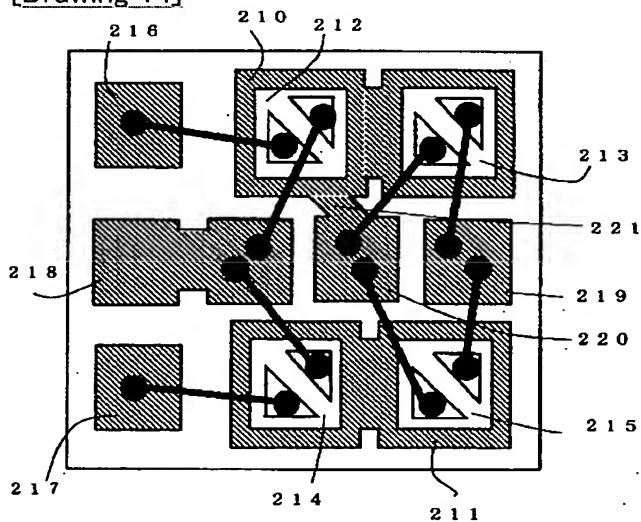
[Drawing 6]



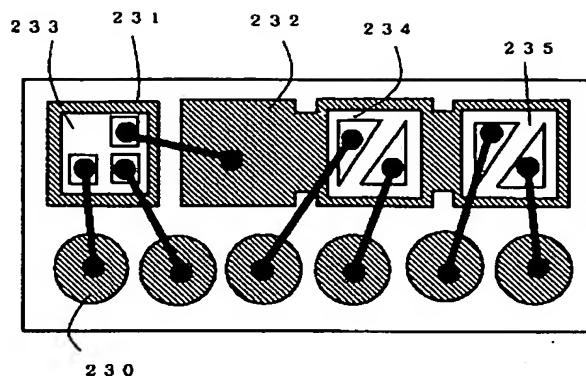
[Drawing 7]



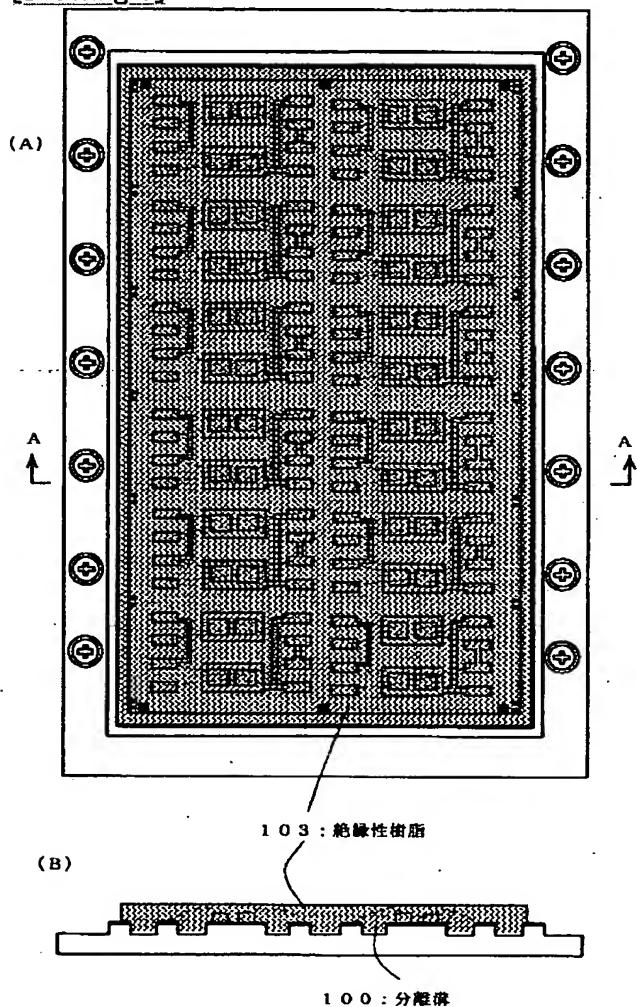
[Drawing 14]



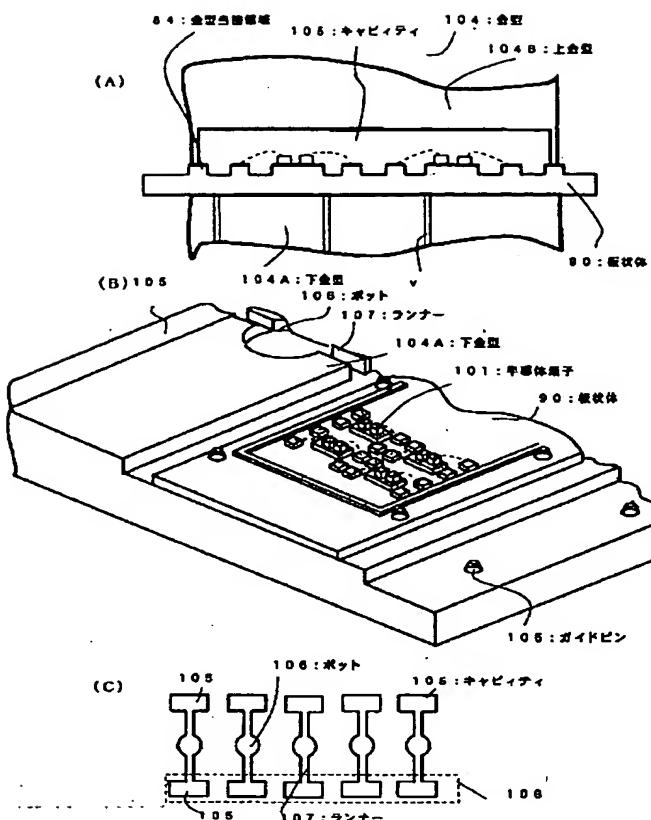
[Drawing 15]



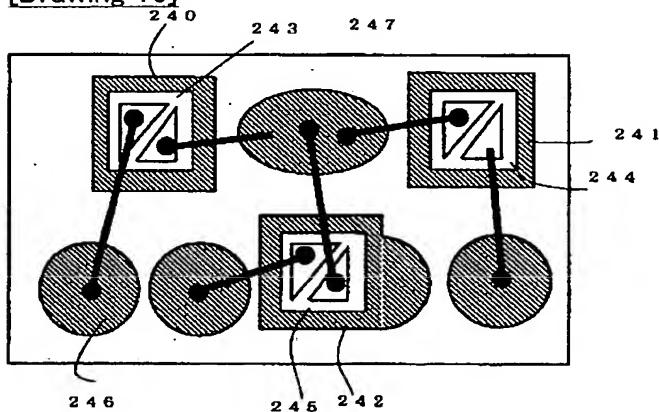
[Drawing 8]



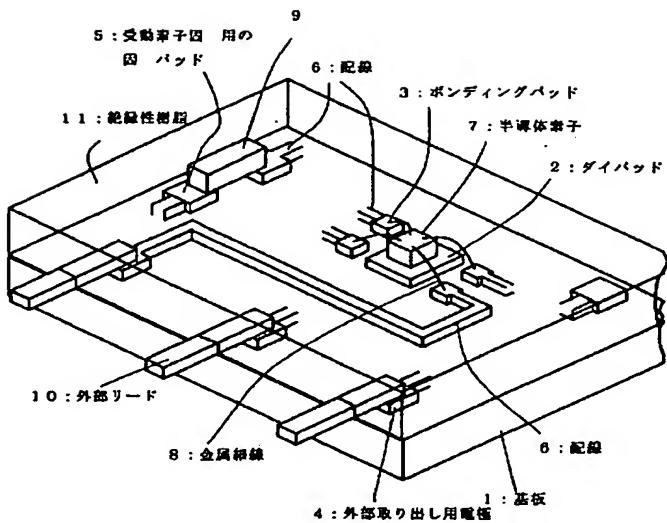
[Drawing 9]



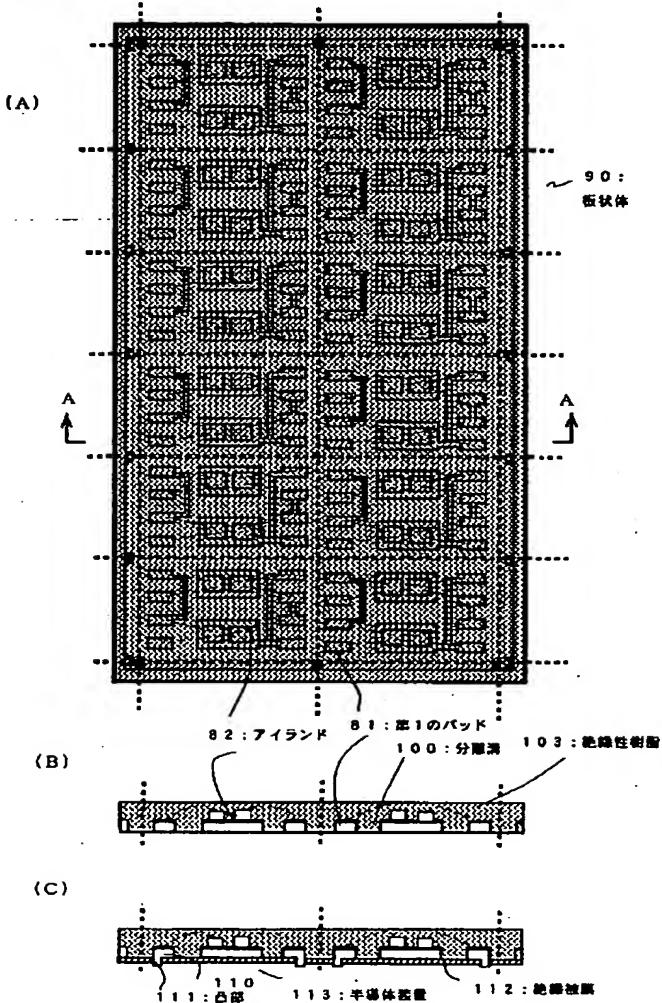
[Drawing 16]



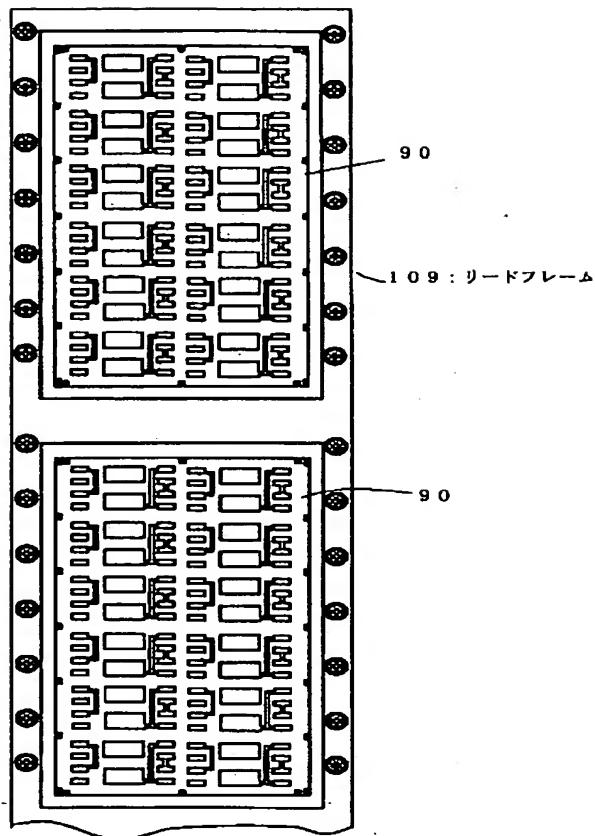
[Drawing 17]



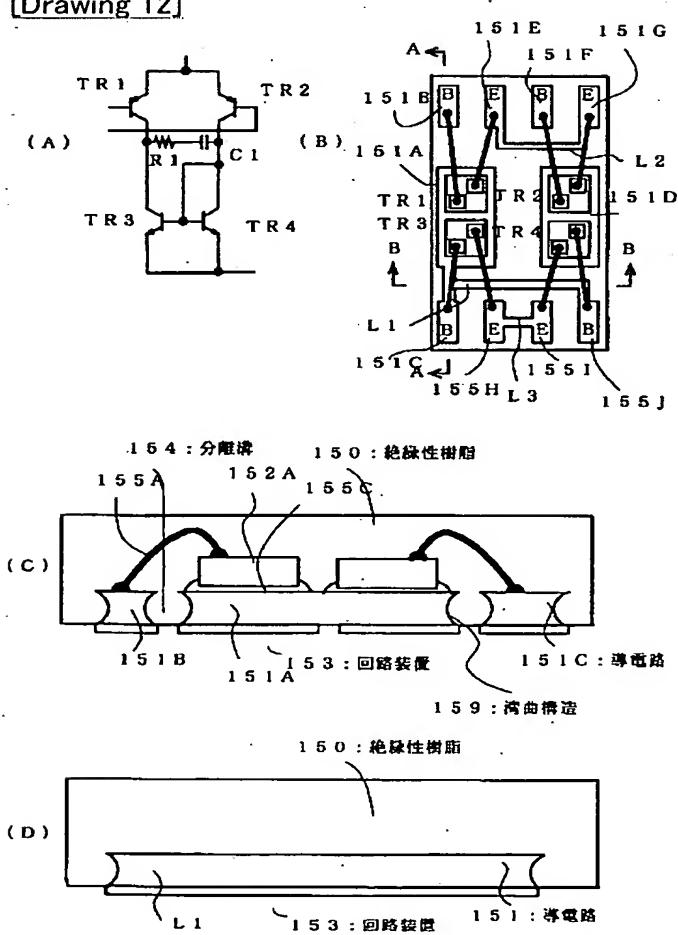
[Drawing 10]



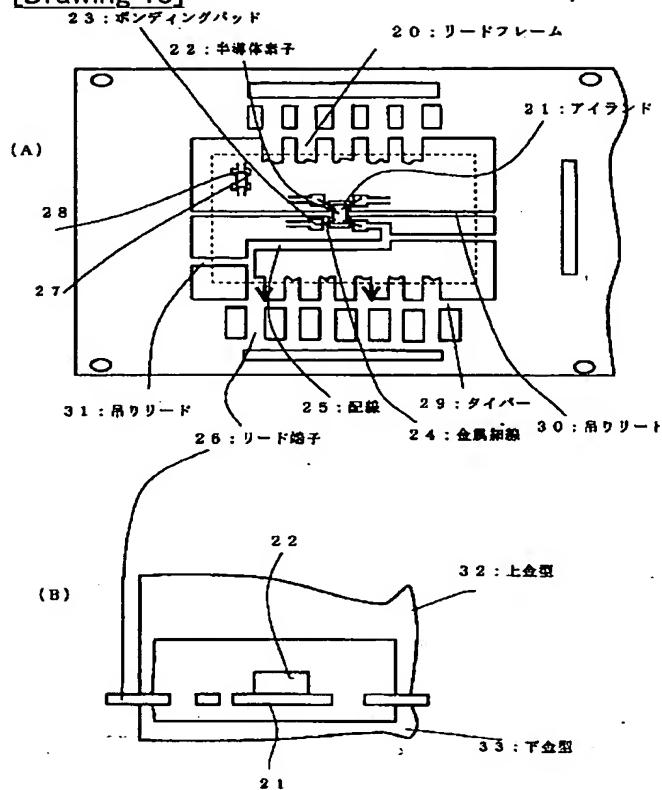
[Drawing 11]



**[Drawing 12]**



[Drawing 18]




---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-320011

(P2001-320011A)

(43)公開日 平成13年11月16日(2001.11.16)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 25/04  
25/18  
23/50

識別記号

F I

H 0 1 L 23/50  
25/04

テマコート(参考)

A 5 F 0 6 7  
Z

審査請求 未請求 請求項の数26 OL (全 18 頁)

(21)出願番号 特願2000-135283(P2000-135283)

(22)出願日 平成12年5月9日(2000.5.9)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 坂本 則明

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 小林 義幸

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100107906

弁理士 須藤 克彦

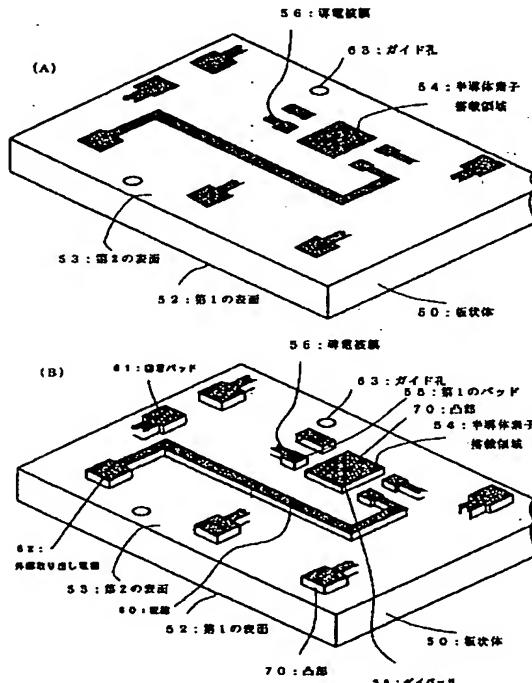
最終頁に続く

(54)【発明の名称】 板状体および半導体装置の製造方法

(57)【要約】

【課題】 プリント基板、セラミック基板、フレキシブルシート等が支持基板として一体で成るハイブリッドICがある。しかしこれらの支持基板は、本来必要でなく余分な材料である。しかも支持基板の厚みが、回路装置を大型化にする問題もあった。

【解決手段】 第1のパッド55、ダイパッド59等の導電被膜が形成された板状体50、または第1のパッド55、ダイパッド59等の導電被膜を介してハーフエッティングされた板状体50を形成することにより、半導体メーカーの後工程を利用してハイブリッドICを製造することができる。しかも支持基板を採用することなく製造できるので、ハイブリッドICとして薄型で、放熱性の優れたハイブリッドICが製造できる。



## 【特許請求の範囲】

【請求項 1】 平坦面から成る第 1 の表面と、前記第 1 の表面に對向して設けられ、平坦面から成る第 2 の表面とを有する板状体であり、前記第 2 の表面には、半導体素子搭載領域またはその近傍に設けられる複数の第 1 のパッドと実質同一パターンの第 1 の導電被膜またはホトレジストが形成されていることを特徴とした板状体。

【請求項 2】 前記第 2 の表面には、前記第 1 のパッドと一緒に設けられた配線と実質同一パターンの第 2 の導電被膜またはホトレジストが形成されていることを特徴とした請求項 1 に記載の板状体。

【請求項 3】 前記第 1 のパッドは、ボンディングパッドまたは半田ボール固定用のパッドである請求項 1 または請求項 2 に記載の板状体。

【請求項 4】 前記半導体素子搭載領域にはダイパッドと実質同一パターンの導電被膜またはホトレジストが設けられることを特徴とした請求項 1 または請求項 2 に記載の板状体。

【請求項 5】 前記第 2 の表面には、受動素子用の固定パッドおよび／または外部取りだし用の電極と実質同一パターンの導電被膜またはホトレジストが形成されている請求項 1 ～請求項 4 のいずれかに記載の板状体。

【請求項 6】 前記受動素子は、チップ抵抗またはチップコンデンサであることを特徴とした請求項 5 に記載の板状体。

【請求項 7】 前記板状体の相対向する側辺には、ガイドピンと実質同一のパターンまたは前記ガイドピンが挿入されるガイド孔が形成されていることを特徴とした請求項 1 または請求項 2 に記載の板状体。

【請求項 8】 前記板状体は、導電箔で成り、前記導電被膜は、前記導電箔の材料とは異なる材料より成ることを特徴とした請求項 1 または請求項 2 に記載の板状体。

【請求項 9】 平坦面から成る第 1 の表面と、所望の高さに形成された凸部を有し、前記第 1 の表面に對向して成る第 2 の表面とを有する板状体であり、前記凸部は、半導体素子搭載領域またはその近傍に複数の第 1 のパッドを構成することを特徴とした板状体。

【請求項 10】 前記凸部は、前記第 1 のパッドと一緒に設けられた配線を構成することを特徴とした請求項 9 に記載の板状体。

【請求項 11】 前記凸部は、前記配線と一緒に設けられた第 2 のパッドを構成することを特徴とした請求項 10 に記載の板状体。

【請求項 12】 前記第 1 のパッドおよび／または前記第 2 のパッドは、ボンディングパッドまたは半田ボール固定用のパッドである請求項 9 ～請求項 11 のいずれかに記載の板状体。

【請求項 13】 前記凸部は、前記半導体素子搭載領域に設けられるダイパッドを構成することを特徴とした請

求項 9 ～請求項 11 のいずれかに記載の板状体。

【請求項 14】 前記凸部は、受動素子用の固定パッドおよび／または外部取りだし用の電極を構成することを特徴とした請求項 9 ～請求項 11 のいずれかに記載の板状体。

【請求項 15】 前記受動素子は、チップ抵抗またはチップコンデンサであることを特徴とした請求項 14 に記載の板状体。

【請求項 16】 前記板状体の相対向する側辺には、ガイドピンと実質同一パターン、または前記ガイドピンが挿入されるガイド孔が形成されていることを特徴とした請求項 9 に記載の板状体。

【請求項 17】 前記板状体には、前記凸部から成るパターンを一単位としたユニットがマトリックス状に配置されることを特徴とした請求項 9 ～請求項 14 のいずれかに記載の板状体。

【請求項 18】 前記板状体は、Cu、Al、Fe-Ni 合金、Cu-Al の積層体または Al-Cu-Al の積層体から成ることを特徴とした請求項 9 ～請求項 17 に記載の板状体。

【請求項 19】 前記凸部の上面には、前記凸部を構成する材料とは異なる材料の導電被膜が形成されることを特徴とした請求項 9 ～請求項 18 のいずれかに記載の板状体。

【請求項 20】 前記凸部の側面は、アンカ一構造を有することを特徴とした請求項 9 ～請求項 19 のいずれかに記載の板状体。

【請求項 21】 前記導電被膜は、前記凸部の上面でひさしを構成することを特徴とした請求項 19 に記載の板状体。

【請求項 22】 前記導電被膜は、Ni、Au、Ag または Pd から成ることを特徴とした請求項 19 または請求項 21 に記載の板状体。

【請求項 23】 樹脂封止領域に対応する全面に渡り平坦な裏面と、前記裏面から所定の厚みでシート状に形成され、上金型との当接領域で囲まれる領域に、半導体素子搭載領域またはその近傍に設けられる複数の第 1 のパッドおよび前記第 1 のパッドと一緒に設けられた配線となる凸部が形成されている表面を有する板状体であり、少なくとも前記上金型との当接領域で囲まれる領域は、前記表面および前記上金型で密閉空間を構成する事を特徴とした板状体。

【請求項 24】 樹脂封止領域に対応する全面に渡り平坦な裏面と、前記裏面から所定の厚みでシート状に形成され、上金型との当接領域で囲まれる領域に、半導体素子搭載領域または近傍に設けられる複数の第 1 のパッドおよび前記第 1 のパッドと一緒に設けられた配線となる凸部が形成されている表面を有する板状体を用意し、前記半導体素子搭載領域に半導体素子を搭載するとともに、前記第 1 のパッドと前記半導体素子を電気的に接続

し、前記板状体を金型に搭載し、前記板状体と前記上金型で構成される空間に樹脂を充填し、前記充填された樹脂の裏面に露出する板状体を取り除いて前記凸部をそれぞれ分離する工程とを有することを特徴とした半導体装置の製造方法。

【請求項 25】 前記樹脂封止領域に対応する前記板状体の裏面の全域は、下金型に当接されることを特徴とした請求項 23 または請求項 24 に記載の半導体装置の製造方法。

【請求項 26】 前記下金型の当接領域は、真空吸引手段が分散されて配置されることを特徴とした請求項 23 ～請求項 25 に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、板状体および半導体装置の製造方法に関するものであり、特に従来のハイブリッド IC の様々な問題を解決する板状体に関するものである。

##### 【0002】

【従来の技術】 従来、電子機器にセットされる回路装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

【0003】 この回路装置としてハイブリッド IC が多用され、基板として、主にセラミック基板、金属基板、プリント基板またはフレキシブルシート基板が採用されている。

【0004】 図 17 は、その一例を示すものであり、以下その具体的構成を説明する。まず前述した基板 1 があり、この基板 1 には、導電パターンが Cu で形成されている。この導電パターンは、ダイパッド 2、ボンディングパッド 3、外部取り出し用電極 4、チップ抵抗またはチップコンデンサ等の受動素子接続用の固着パッド 5、これらパッドと一体の配線 6 等であり、ハイブリッド IC の回路に基づいて所望の形状にパターン化されている。

【0005】 そして前記ダイパッド 2 には、半導体素子 7 が固着され、半導体素子 7 上のボンディング電極と前記ボンディングパッド 3 は金属細線 8 で電気的に接続されている。また前記受動素子 9 は、半田等のロウ材、Ag ペースト等を介して固着パッド 5 と固着され、パッド 4 には外部リード 10 が前記ロウ材または Ag ペースト等を介して固着されている。そして耐環境性が考慮されて、シーリングされている。ここでは、基板 1 の全面に絶縁性樹脂 11 がモールドにより形成されている。

【0006】 またリードフレーム 20 を用いてハイブリッド IC を実現するものもある。図 18 は、図 17 のパターンをリードフレーム 20 で実現したものである。

【0007】 アイランド 21 には半導体素子 22 が固着され、アイランド 21 の近傍に配置されたボンディング

パッド 23 と前記半導体素子 22 は、金属細線 24 を介して電気的に接続されている。

【0008】 またボンディングパッド 21 の中には、配線 25 と一緒に構成されるものもあり、例えばリード端子 26 と電気的に接続されている。このリード端子 26 は、例えばリードフレーム 20 の側辺に沿って複数設けられている。尚、符号 27 は、受動素子であり、符号 28 は、前記受動素子 27 を固着するための固着パッドである。

##### 【0009】

【発明が解決しようとする課題】 しかしながら前述した図 17 のハイブリッド IC は、基板 1 を採用するため、基板の分だけハイブリッド IC の厚みが厚く、その重量も増加し、更にはコストの低減に限界があった。特に、基板に Cu フィルムから成る前記導電パターン 2 ～ 6 を形成するには、Cu フィルムを貼着したのちパターニングする工程が付加されるため、この Cu パターンを有する基板 1 のコストがハイブリッド IC の価格をアップさせていた。更には導電パターン 2 ～ 6 を形成するために基板 1 を支持基板として活用しており、基板 1 は、必要なものであった。

【0010】 また基板を用いる事により、実装された半導体素子、受動素子等の放熱性に問題があった。例えば、プリント基板、セラミック基板およびフレキシブルシートは、絶縁材料より構成され、基板を介して実装基板に放熱しようとしても、その熱伝導性の悪さから、封止された半導体素子、受動素子の熱を良好に外部に放出できなかった。また放熱性の優れる金属基板であっても、導電パターンとの短絡が考慮されて、金属基板の表面に絶縁性樹脂がコートされており、これが熱抵抗を発生させていた。特に半導体素子の温度を低下させれば、より駆動能力をより向上させることが可能にもかかわらず、前記放熱性の悪さから半導体素子の能力を十分に活用することができなかつた。

【0011】 またハイブリッド IC は、パッケージされたディスクリート素子、パッケージされた半導体チップと異なり、数多くの能動素子、受動素子が搭載され、しかもこれらの素子を電気的に接続する配線が多用されていた。しかも実装される素子の数にもよるが基板のサイズが大きく、この上に設けられる配線の長さは、非常に長くなり、反り等の変形を考慮する必要があった。また軽薄短小の流れに沿って、導電パターンの微細化を実現したとしても、この細くて長い配線を反り等の変形もなく支持するためには、やはり支持基板が必要になる問題があった。

【0012】 更に製造工程を考えると、ハイブリッド IC メーカーが、所定のパターンデータを基板メーカーに伝え、基板メーカーがパターン化して基板を製造し、この完成された基板をハイブリッド IC メーカーが購入するため、ハイブリッド IC を製造するまでに非常に時間

がかかる問題があった。従って、ハイブリッドメーカーは、前記ハイブリッドICを短い納期でユーザーに納めることができない問題もあった。

【0013】図18のリードフレーム20を採用したハイブリッドICは、図17で述べた問題点の他に以下の問題点があった。

【0014】リードフレーム20は、プレスやエッチングにより表から裏へ抜かれて形成されている。そのため、リード端子26やアイランド21は、バラバラにならない様に対策が施されている。つまり、リード端子26には、タイバー29が設けられ、またアイランド21は、吊りリード30が設けられている。このタイバー29や吊りリード30は、本来、必要とされるものではなく、モールドの後に取り除き工程が必要となる問題があった。

【0015】また配線25は、細くしかも長く延在されるため、この配線も反り等の変形を防止するために、吊りリード31が必要となる。従って、前述したように吊りリード31の取り除き工程が必要となる。しかもこれら吊りリード30、31は、他の配線、パッドまたはアイランド等の形成に障害をもたらす。特に、配線の交差を回避するために、複雑なパターンが必要となる問題があった。

【0016】またリードフレーム20は、エッチングやプレスにより表から裏に渡り抜かれるため、リードパターンの微細化に限界がある問題もあった。これは、図17の導電パターンでも同様である。

【0017】例えばプレスでリードフレーム20を形成する場合、打ち抜かれるリードの間隔は、リードフレームの厚みとほぼ同じ長さが限界値であると言われている。またエッチングによって形成されるリードフレームも、厚さの分だけ縦方向にエッチングされる分、横方向にもエッチングが進むので、リードフレームの厚みがリードの間隔の限界であると言われている。

【0018】よってリードフレームのパターンを微細化しようとすると、リードフレームの厚みを薄くする必要がある。しかしリードフレーム20自体の厚みが薄くなれば、その強度は低下し、リードフレーム20に反りが発生したり、リード端子26が変形したり、位置ずれを起こしたりする問題があった。特に、金属細線24と接続されるボンディングパッド23は、支持されていないため、変形、反り等が発生する問題があった。

【0019】しかも図18Aの矢印で示す部分は、リード端子26がパッケージの側面から出る所であり、リード端子26とリード端子26の間の空間は、上金型32と下金型33で当接する事ができず、バリが発生する問題もあった。

【0020】以上のように、リードフレームは、微細加工に限界があり、パッケージ全体のサイズをより小さくすることができず、しかもプロセスを考えると、リード

フレームの反りを防止する方法が必要となったり、バリを取り除く工程が必要であったり、吊りリード7やタイバー8切除する必要があつたりするため、プロセスが複雑になってしまう問題があった。

#### 【0021】

【課題を解決するための手段】本発明は、前述した多くの課題に鑑みて成され、第1に、平坦面から成る第1の表面と、前記第1の表面に対向して設けられ、平坦面から成る第2の表面とを有する板状体であり、前記第2の表面に、半導体素子搭載領域またはその近傍に設けられる複数の第1のパッドと実質同一パターンの第1の導電被膜またはホトレジストを形成することで解決するものである。

【0022】第2に、前記第2の表面に、前記第1のパッドと一体で設けられた配線と実質同一パターンの第2の導電被膜またはホトレジストを形成することで解決するものである。

【0023】第3に、前記第1のパッドを、ボンディングパッドまたは半田ボール固着用のパッドとして活用することで解決するものである。

【0024】第4に、前記半導体素子搭載領域にダイパッドと実質同一パターンの導電被膜またはホトレジストを設けることで解決するものである。

【0025】第5に、前記第2の表面に、受動素子用の固定パッドおよび／または外部取りだし用の電極と実質同一パターンの導電被膜またはホトレジストを形成することで解決するものである。

【0026】板状体に形成された導電パターンをハーフエッチングすることにより、板状体で支持された導電パターンを形成することができる。よってハイブリッドICメーカーは、ホトリソグラフィ設備を有することで、独自に板状体からハイブリッドICまでを一貫して製造することが可能となる。

【0027】また半導体素子の固定、金属細線を使った電気的接続、絶縁性樹脂を使った封止工程は、この板状体を支持基板として採用することができ、従来のような支持基板としての基板が不要となった。特にボンディングパッド、ダイパッド（アイランド）は、アイランド状に存在し、不安定な状態で配置されるが、板状体と一体であるため、反り等の変形を無くすことができる。更に配線も長く延在され、反り、ねじれ等を発生するものであるが、板状体と一体であるため、これらの問題を解決することができる。

【0028】また導電被膜を介してパッドを、板状体を表から裏まで、プレスやエッチングで抜かず、途中で止めることにより、パッドまたは配線等の間隔を狭めることができ、より微細なパターンが形成できる。更には、絶縁性樹脂を封止して完全に固定した後、板状体の裏面を研磨やエッチングする事でパッド、ダイパッドおよび配線の分離が可能となり、位置ずれも無く所定の位置に配

置することができ、しかも配線を長く引き回しても変形無く配置することができる。

【0029】第6に、前記板状体を、導電箔で成し、前記導電被膜を、前記導電箔の材料とは異なる材料より成すことで解決するものである。

【0030】導電被膜を導電箔の材料と異なる材料で構成することにより、前記導電被膜をエッティングマスクとして採用することができる。また導電被膜をひさしとして形成することができ、導電パターンにアンカー効果を持たせることも可能となる。

【0031】第7に、平坦面から成る第1の表面と、所望の高さに形成された凸部を有し、前記第1の表面に対向して成る第2の表面とを有する板状体であり、前記凸部は、半導体素子搭載領域またはその近傍に複数の第1のパッドを構成することで解決するものである。

【0032】第8に、前記凸部は、前記第1のパッドと一緒に設けられた配線を構成することで解決するものである。

【0033】第9に、前記凸部は、前記配線と一緒に設けられた第2のパッドを構成することで解決するものである。

【0034】第10に、前記第1のパッドおよび／または前記第2のパッドを、ボンディングパッドまたは半田ボール固定用のパッドとして活用することで解決するものである。

【0035】第11に、前記凸部は、前記半導体素子搭載領域に設けられるダイパッドを構成することで解決するものである。

【0036】第12に、前記凸部は、受動素子用の固定パッドおよび／または外部取りだし用の電極を構成することで解決するものである。

【0037】凸部で導電パターンを構成した板状体は、半導体素子の実装、パッドとの電気的接続および封止等が、半導体メーカーの後工程の設備で可能となる。従って從来のリードフレームと同様に、板状体を例えればリードフレームメーカーから供給し、半導体メーカーがハイブリッドICを製造することができる。

【0038】また半導体素子の固定、金属細線を使った電気的接続、絶縁性樹脂を使った封止は、この板状体を支持基板として採用することができ、従来のような支持基板としての基板をなくすことができる。特にボンディングパッド、ダイパッド（アイランド）は、アイランド状に存在したり、不安定な状態で配置されるが、板状体と一緒にあるため、反り等の変形を無くすことができる。更に配線も長く延在され、反り、ねじれ等を発生するものであるが、板状体と一緒にあるため、これらの問題を解決することができる。

【0039】また導電被膜を介してパッドを、板状体の表から裏まで、プレスやエッティングで抜かず、ハーフエッティングで構成しているため、パッドまたは配線等の間

隔を狭める事ができ、より微細なパターンが形成できる。またパッド、電極またはダイパッドは板状体と一緒に構成されるため、変形や反り等が無くなり、タイバー、吊りリードを不要とする事ができる。更には、絶縁性樹脂を封止して完全に固定した後、板状体の裏面を研磨やエッティングする事でパッド、ダイパッドおよび配線の分離が可能となり、位置ずれも無く所定の位置に配置することができる。

【0040】第13に、前記凸部の上面に、前記凸部を構成する材料とは異なる材料の導電被膜を形成することで解決するものである。

【0041】第14に、前記凸部の側面に、アンカー構造を持たせることで解決するものである。

【0042】第15に、前記導電被膜は、前記凸部の上面でひさしを構成することで解決するものである。

【0043】第16に、前記導電被膜を、Ni、Au、AgまたはPdから成すことで解決するものである。

【0044】例えば、導電被膜としてNi、Au、AgまたはPdを採用すると、この導電被膜は、エッティングマスクとして代用でき、凸部の側面に湾曲構造を構成し、しかもその表面に前記導電被膜でひさしを形成することができる。更には、金属細線の接続、半導体素子の固定がこの材料で一度に実現できる。

【0045】第17に、樹脂封止領域に対応する全面に渡り平坦な裏面と、前記裏面から所定の厚みでシート状に形成され、上金型との当接領域で囲まれる領域に、半導体素子搭載領域またはその近傍に設けられる複数の第1のパッドおよび前記第1のパッドと一緒に設けられた配線となる凸部が形成されている表面を有する板状体であり、少なくとも前記上金型との当接領域で囲まれる領域は、前記表面および前記上金型で密閉空間を構成する事で解決するものである。

【0046】第18に、樹脂封止領域に対応する全面に渡り平坦な裏面と、前記裏面から所定の厚みでシート状に形成され、上金型との当接領域で囲まれる領域に、半導体素子搭載領域または近傍に設けられる複数の第1のパッドおよび前記第1のパッドと一緒に設けられた配線となる凸部が形成されている表面を有する板状体を用意し、前記半導体素子搭載領域に半導体素子を搭載するとともに、前記第1のパッドと前記半導体素子を電気的に接続し、前記板状体を金型に搭載し、前記板状体と前記上金型で構成される空間に樹脂を充填し、前記充填された樹脂の裏面に露出する板状体を取り除いて前記凸部をそれぞれ分離する工程とを有することで解決するものである。

【0047】第19に、前記樹脂封止領域に対応する前記板状体の裏面の全域は、下金型に当接されることで解決するものである。

【0048】板状体は、シート状に形成されるため、板状体の裏面は下金型に全面に渡り当接され、しかもパッ

ド等の導電パターンは、前記密閉空間内に配置されるため、発明が解決する課題で述べたバリを全く排出することができない。

【0049】またこれらの製造方法により、導電パターン、半導体素子およびこれらを封止する絶縁性樹脂で構成され、基板を無くすことができるため、半導体装置の薄型・軽量化が実現でき、しかも導電路が埋め込まれているために、導電路が絶縁性樹脂から剥離する事もない。また導電箔の表面に導電被膜を形成することにより、表面にひさしを有するリード、アイランドを形成することができ、アンカー効果を発生させることができる。

【0050】

【発明の実施の形態】板状体を説明する第1の実施の形態

図1Aは、従来型のハイブリッドICやリードフレームを採用したハイブリッドICよりもその効果が優れ、より薄型のパッケージが実現できる板状体を示すものである。

【0051】この板状体50は、図1Aに示すように、従来のハイブリッドICのパターンが導電被膜56で形成されたものである。

【0052】つまり、平坦面から成る第1の表面52と、前記第1の表面52に対向して設けられ、平坦面から成る第2の表面53と有する板状体50であり、前記第2の表面53には、半導体素子搭載領域54またはその近傍に設けられる複数の第1のパッド55と実質同一パターンの第1の導電被膜56が形成されている。

【0053】この板状体50は、前記導電被膜56の代わりに、ホトレジスト等の耐エッチングマスクが形成されても良い。この場合、少なくともボンディングパッドに対応する部分に導電被膜が形成され、全パターンは、ホトレジストで被覆される。

【0054】本発明の特徴は、前記板状体にある。後の説明から判るように、板状体50の導電被膜56またはホトレジストを介してハーフエッチングし、これに半導体素子57を搭載し、絶縁性樹脂58で封止する。そして、前記第1のパッド55が分離されるまで、絶縁性樹脂58の裏面に露出している板状体50をエッチング、研磨または研削等で加工する。この製造方法を採用することにより、半導体素子57、第1のパッド55と、この第1のパッド55を埋め込む絶縁性樹脂58の3つの材料で構成することができる。そしてこの板状体50は、最終的にハイブリッドICとして機能させることができる。

【0055】本構造の最大の特徴は、ハーフエッチングできるように板状体50の表面に耐エッチングマスクが形成されていることである。

【0056】一般に、エッチングは、縦方向にエッチングが進むにつれて、横方向にもエッチングが進む。例え

ば等方性エッティングの場合、この現象が顕著に現れ、縦方向のエッティング深さと横方向にエッティングされる長さは実質同一になる。また、異方性に於いて、横方向にエッティングされる長さは、等方性よりも非常に少ないと、前記横方向にエッティングされる。

【0057】つまり、リードフレームを表から裏まで貫通するようにパターンを抜くと、導電パターンの間は、横方向にエッティングされ、第1のパッド55と隣接する導電パターンとの間隔は、ある限界の値よりも小さくすることができず、微細パターンの形成が難しい。

【0058】しかし板状体50に導電被膜56またはホトレジストを形成し、その後ハーフエッティングすれば、縦方向のエッティング深さが浅くなるため、横方向のエッティング量を抑制することができ、より微細の第1のパッド55を実現することができる。

【0059】これは他の導電パターン、例えば、ダイパッド59、配線60、固着パッド61および外部取り出し用電極62も同様である。以下、これらを総称して導電パターンと呼ぶ。

【0060】例えば、2オンス(70μm)の厚みの板状体50に、バーニングされた導電被膜としてNi、Ag、AuまたはPd等の導電被膜56を形成し、これをマスクにして完全に貫通するまでエッティングすると、導電パターンの間隔は、一番狭くしたもので、実質70μmとなってしまう。しかし導電被膜56を耐エッティングマスクとして活用し、35μmの深さまで板状体50をエッティングすれば、導電パターンの間隔は、実質35μmまで狭く加工することができる。つまり2倍の実装効率を実現できる。この微細パターンは、板状体に対してハーフエッティングの深さが浅くなればなる程、より微細パターンが可能となる。

【0061】また本発明の板状体50に於いて、エッティング設備、量産性、製造コストを考えるとウェットエッティングが好ましい。しかしウェットエッティングは、非異方性であり、横方向のエッティングが比較的多い。従って導電被膜56やホトレジストを使ったハーフエッティングは、より微細な導電パターンの形成に優れる。

【0062】また導電パターンは、導電被膜56やホトレジストを介してハーフエッティングされることにより現れ、シート状の板状体50と一体で構成されるため、タイバー、吊りリードの形成は不要である。よって絶縁性樹脂58で封止した後、タイバーを取り除く工程や吊りリードをカットする工程を無くすこともできる。

【0063】また本発明の板状体50では、導電パターンは板状体50と一体で成るため、板状体50が固定されている限り、導電パターンがずれたり、反ったりすることは無くなる。

【0064】従って、第1のパッド61へのボンディングも安定してできる特徴を有する。更には、吊りリードが不要であるため、吊りリードとの交差を考慮する必要

が無くなり、任意の位置に導電パターンを配置する事ができるようになるメリットを有する。

【0065】また板状体50にガイド孔63を設けると、金型に板状体50を搭載する際に便利である。

【0066】このガイド孔63は、ガイドピンと実質同一形状で、対応する位置に、導電被膜またはホトレジストで円形にパーニングされて形成され、モールドの前に、このパターンに沿ってドリル、パンチングまたはエッティング等で開口しても良い。また前もって開口されたものを用意しても良い。このガイド孔63に金型のガイドピンを挿入することで、位置精度の高いモールドが可能となる。

【0067】前述したように、導電パターンは、導電被膜56またはホトレジストを介してハーフエッティングされることにより現れ、これは、従来のリードフレームとして採用する事が可能となる。

【0068】半導体装置メーカーは、一般的に前工程と後工程に分かれて工場があり、本板状体50を採用してモールドする後工程では、通常エッティング設備が設置されていない。従って導電被膜の成膜設備、エッティング設備を設置することにより、リードフレームメーカーから導電被膜またはホトレジストが形成された板状体を購入する事で、半導体メーカーは、この板状体を用いたハイブリッドICの製造が可能となる。

#### 板状体を説明する第2の実施の形態

この板状体50は、図1Bに示すように、前記導電被膜56を介してハーフエッティングされ、導電パターンが凸状に形成されたものである。尚、導電被膜の代わりにホトレジストを使ってハーフエッティングされても良い。

【0069】つまり、平坦面から成る第1の表面52と、所望の高さに形成された凸部70を有し、前記第1の表面52に対向して成る第2の表面53とを有する板状体50であり、前記凸部70は、半導体素子搭載領域54またはその近傍に複数の第1のパッド55を構成するものである。

【0070】本板状体50は、第1の実施の形態で説明した板状体の構成、効果と、実質的に同一である。違いは、導電パターンがハーフエッティングされている点である。

【0071】よってここでは、ハーフエッティングされている点について述べる。つまり、半導体メーカー、特に後工程は、Cuから成る板状体のメッキ設備、エッティング等のリソグラフィ設備を有していない。従ってハーフエッティングにより、凸部から成る導電パターンを有した板状体50を購入すれば、板状体は、従来のリードフレームと同様の取り扱いが可能となり、既設の後工程の設備で製造が可能となる。

#### 板状体を採用した半導体装置の製造方法を説明する第3の実施の形態

前述した板状体50を採用し、半導体装置73が製造さ

れるまでを図1～図3を採用して説明する。

【0072】まず図1の様に板状体50を用意する。この板状体50は、第1の表面52、第2の表面53は、平坦であり、更に第2の表面に導電パターンが形取られた導電被膜56またはホトレジストが形成されている。尚、導電パターンは、斜線でハッキングされた部分である。また導電被膜の代わりにホトレジストを採用する場合、ホトレジストの下層には、少なくともボンディングパッドに対応する部分に導電被膜が形成される。（以上図1Aを参照）

続いて、前記導電被膜56またはホトレジストを介して板状体50をハーフエッティングする。エッティング深さは、板状体50の厚みよりも浅ければよい。尚、エッティングの深さが浅ければ浅いほど、微細パターンの形成が可能である。

【0073】そしてハーフエッティングすることにより、図1Bのように導電パターンが板状体50の第2の表面に凸状に現れる。尚、板状体50は、Cu-AIの積層体、AI-Cu-AIの積層体でも良い。特に、AI-Cu-AIの積層体は、熱膨張係数の差により発生する反りを防止できる。

【0074】例えば、半導体メーカーに於いて、後工程にエッティング設備が有れば、リードフレームメーカーから図1Aの板状体50を購入し、また後工程にエッティング設備が無ければ、ハーフエッティングされて導電パターンが凸状になった板状体50を購入することで、何の設備を導入することなく、既存の設備で容易に以下の工程に移行することができる。（以上図1Bを参照）

続いて半導体素子搭載領域54に半導体素子57を固着し、半導体素子57のボンディング電極と第1のパッド55を電気的に接続する。図面では、半導体素子57がフェイスアップで実装されるため、接続手段として金属細線71が採用される。

【0075】このボンディングに於いて、第1のパッド55は板状体50と一体であり、しかも板状体50の裏面は、フラットであるため、ボンディングマシーンのテーブルに面で当接される。従って板状体50がボンディングテーブルに完全に固定されれば、第1のパッド55の位置ずれもなく、ボンディングエネルギーを効率よく金属細線と第1のパッド55に伝えることができ、金属細線の接着強度を向上させることができる。ボンディングテーブルの固定は、例えばテーブル全面に複数の真空吸引孔を設けることで可能となる。

【0076】またフェイスタウン型の半導体素子を採用する場合、半導体素子57上の電極は、半田ボール、Auや半田等のバンプが形成され、この真下に第1のパッド55が来るよう配置され、両者が固着される。

【0077】また固着パッド61には、受動素子72が半田等のロウ材、Agペースト等の導電ペースト等を介して固着されている。尚、ここで採用できる受動素子

は、チップ抵抗、チップコンデンサ、印刷抵抗、コイル等である。

【0078】そして前記導電パターン、半導体素子57、および接続手段を覆うように絶縁性樹脂58が形成される。

【0079】例えば金型を用いて封止する場合、この段階でガイド孔63が開口され、ここに金型のガイドピンが挿入されて、精度の高い板状体50の配置が実現される。板状体50の第1の表面52はフラットなため、下金型の面もフラットに形成される。

【0080】統いて、絶縁性樹脂58が注入される。絶縁性樹脂としては、熱可塑性、熱硬化性のどちらでも良い。

【0081】また、トランスマーモールド、インジェクションモールド、ディッピングまたは塗布により実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスマーモールドで実現でき、液晶ポリマー、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0082】本実施の形態では、絶縁性樹脂の厚さは、金属細線71の頂部から上に約 $100\mu m$ が被覆されるように調整されている。この厚みは、半導体装置の強度を考慮して厚くすることも、薄くすることも可能である。

【0083】尚、注入に於いて、導電パターンは、シート状の板状体50と一体で成るため、板状体50のずれが無い限り、導電パターンの位置ずれは全くない。ここでも下金型と板状体50裏面の固定は、真空吸引で実現できる。

【0084】以上、絶縁性樹脂58には、凸部として形成された導電パターン、半導体素子が埋め込まれ、凸部よりも下方の板状体50が裏面に露出している。(以上図2を参照)

統いて、前記絶縁性樹脂58の裏面に露出している板状体50を取り除き、導電パターンを個々に分離する。

【0085】ここでの分離工程は、色々な方法が考えられ、裏面をエッチングにより取り除いても良いし、研磨や研削で削り込んでも良い。また、両方を採用しても良い。例えば、絶縁性樹脂58が露出するまで削り込んでいくと、板状体50の削りカスや外側に薄くのばされたバリ状の金属が、絶縁性樹脂58に食い込んでしまう問題がある。そのため、絶縁性樹脂58が露出する手前で、削り込みを停止し、その後は、エッチングにより導電パターンを分離すれば、導電パターンの間に位置する絶縁性樹脂に板状体50の金属が食い込むこと無く形成できる。これにより、微細間隔の導電パターン同士の短絡を防止することができる。

【0086】またハーフエッチングでは、エッチング深さのバラツキにより絶縁性樹脂の厚みにバラツキが発生する。そのためリードを分離した後、研磨や研削で目標

の厚みまで削り込むことで一定の厚みのパッケージを精度良く形成することができる。

【0087】そして半導体装置73と成る1ユニットが複数形成されている場合は、この分離の工程の後に、個々の半導体装置60としてダイシングする工程がある。

【0088】ここではダイシング装置を採用して個々に分離しているが、チョコレートブレークでも、プレスやカットでも可能である。(以上図3を参照)

以上の製造方法により複数の導電パターン、半導体素子57および絶縁性樹脂58の3要素で、軽薄短小のパッケージが実現できる。

【0089】次に、以上の製造方法により発生する効果を説明する。

【0090】まず第1に、導電パターンは、ハーフエッチングされ、板状体と一緒に支持されているため、従来支持基板として用いた基板を無くすことができる。

【0091】第2に、板状体は、ハーフエッチングされて凸部となった導電パターンが形成されるため、導電パターンの微細化が可能となる。従って導電パターン幅、導電パターン間隔を狭くすることができ、より平面サイズの小さいパッケージが形成できる。

【0092】第3に、前記3要素で構成されるため、必要最小限で構成でき、極力無駄な材料を無くすことができ、コストを大幅に抑えた薄型の半導体装置73が実現できる。

【0093】第4に、ダイパッド59、配線60、パッド55、61は、ハーフエッチングで凸部と成って形成され、個別分離は封止の後に行われるため、タイバー、吊りリードは不要となる。よって、タイバー(吊りリード)の形成、タイバー(吊りリード)のカットは、本発明では全く不要となる。

【0094】第5に、凸部となった導電パターンが絶縁性樹脂に埋め込まれた後、絶縁性樹脂の裏面から板状体を取り除いて、リードを分離しているため、従来のリードフレームのように、リードとリードの間に発生する樹脂バリを無くすことができる。

【0095】第6に、半導体素子の裏面が絶縁性樹脂58の裏面から露出するので、本半導体装置73から発生する熱を、本半導体装置の裏面から効率よく放出することができる。図4は、導電パターンの一例を説明するものである。ハイブリッドICは、能動素子、受動素子をIC回路として機能させるために金属細線や配線が設けられたものである。

【0096】ここでは、半導体素子として、トランジスタ57A、IC素子57B等が複数個形成され、受動素子72も必要により形成されている。またこの素子の周囲には、電気的接続のために、パッド55A…、55B…が形成されている。また配線55が色々な形態で形成されている。例えば第1のパッド55Bと一緒に設けら

れた配線 60 は、所望の回路に従い、半導体装置の一端から他端まで、またはランド 57 を迂回するように長く延在されている。

【0097】このように配線 55 は、短いもの、長いもの、電源として幅の太いもの、信号の入出力用として細く長いもの、色々なものがある。しかしリードフレームと異なり、これらの配線は、板状体と一体で構成され、封止してから分離されるため、反り等の変形がない特徴を持つ。また側面を湾曲にしたり、導電パターン上の導電被膜でひさしを形成することができるため、絶縁性樹脂からの配線の抜けを抑制することができる特徴を有する。

#### 板状体を説明する第4の実施の形態

図5は、第1の実施の形態と同様に、導電被膜CFによりパターンが形成された板状体80を示すものである。尚、導電被膜CFの代わりにホトレジストを形成しても良い。この場合、ホトレジストの下層には、ボンディングパッドに対応する部分に導電被膜が形成される。また詳しい形状は、図12で説明するため、ここでは概要だけを説明する。

【0098】図5のパターンは、図1をより具体化したもののであり、具体的には、点線で囲まれた導電パターンで一つの半導体装置となるパターンユニット83がマトリックス状に形成され、これを囲むように金型当接領域84がリング状に所定の幅を持って形成されている。つまり一つのキャビティ内に形成されるパターンを示したものである。

【0099】この金型当接領域84の内側には、位置合わせマーク85、86が設けられている。合わせマーク85Aと86Aを結ぶラインは、横方向のダイシングラインを示し、また合わせマーク85Bと86Bを結ぶラインは、縦方向のダイシングラインを示す。また各合わせマークは、少なくとも1本の短い直線で形成され、この直線を基準にして、ダイシング装置のブレードの向きが調整される。ここで合わせマークは、ブレードが所望の精度で削れるように、所望の間隔（マージン）が設けられ、二本の直線で構成されている。

【0100】更に前述した金型当接領域84の外側には、ガイド孔を形成するための第1のパターン87、第2のパターン88が形成されている。第2のパターン88の十の字は、ガイド孔をドリルで形成する際のセンターリングマークである。またこのパターンを形成せずに、予め第1のパターンと同一形状のガイド孔が設けられていても良い。

【0101】以上、ダイシングラインのマーク、金型当接領域84を除くと第1の実施の形態と同一であるため、本実施の形態の特徴や効果は、省略する。

#### 板状体を説明する第5の実施の形態

本板状体90は、図6に示す形状であり、第4の実施の形態に示した導電被膜CFまたはホトレジストを介して

ハーフエッティングされたものである。

【0102】また本板状体90は、従来のリードフレーム、例えばSIP、DIP、QIP等に代用されるものであり、導電パターン、金型当接領域84を除いた領域がハーフエッティングされたものである。ただし、ダイパッドは、必ず形成される必要はなく、放熱性が考慮されて省略されても良い。また第1の合わせマーク87、第2の合わせマーク88もハーフエッティングにより凸状に形成しても良い。

【0103】つまり平坦面から成る第1の表面91と、所望の高さに形成された凸部92を有し、前記第1の表面91に対向して成る第2の表面93とを有する板状体から成り、前記凸部92は、半導体素子搭載領域95に、または半導体素子搭載領域95に近接して設けられた複数の第1のパッド93を構成して成る。

【0104】本板状体90は、各パターンがハーフエッティングされた状態であり、このまま半導体素子の固着、電気的接続、封止が可能となるものであり、後工程の既存の設備で製造が可能となる特徴を有するものである。尚、効果は第1の実施の形態、第4の実施の形態で説明しているのでここでは省略をする。

#### 半導体装置の製造方法を説明する第6の実施の形態

次に図5～図12を使って製造方法について説明する。

【0105】まず図5の如く、板状体80を用意する。この板状体80は、ロウ材の付着性、ボンディング性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成るシート状の導電箔、Cu-Alの積層体、Al-Cu-Alの積層体等が採用される。そしてこの板状体80の表面には、第1の固着パッド93、ダイパッド82、配線94、金型当接領域84、合わせマーク85、86、パターン87、88が導電皮膜またはホトレジストにより形成されている。

【0106】導電箔の厚さは、後のエッティングを考慮すると $10\mu m \sim 300\mu m$ 程度が好ましく、ここでは $70\mu m$ （2オンス）の銅箔を採用した。しかし $300\mu m$ 以上でも $10\mu m$ 以下でも基本的には良い。（以上図5を参照）

続いて、少なくとも第1の固着パッド93、ダイパッド82、配線94、金型当接領域84、合わせマーク85、86、パターン87、88となる領域を除いた板状体80を板状体80の厚さよりも浅く除去する工程がある。

【0107】ここでは、導電被膜CFまたはホトレジストを耐エッティングマスクとして使用し、前記分離溝100が板状体80の厚みよりも浅く形成される。

【0108】本製造方法ではウェットエッティングまたはドライエッティングで、非異方的にエッティングされ、その側面は、粗面となり、しかも湾曲となる特徴を有す

る。

【0109】ウェットエッティングの場合、エッチャントは、一般的に塩化第二鉄または塩化第二銅が採用され、前記導電箔は、このエッチャントの中にティッピングされるか、このエッチャントがシャワーリングされる。

【0110】特にエッティングマスクとなる導電被膜C Fまたはホトレジストの直下は、横方向のエッティングが進みづらく、それより深い部分が横方向にエッティングされる。そのため分離溝100の一側面から上方に向かうにつれて、その位置に対応する開口部の開口径が小さくなるので、逆テーパー構造となり、アンカー構造を有する構造となる。またシャワーリングを採用することで、深さ方向に向かいエッティングが進み、横方向のエッティングは抑制されるため、このアンカー構造が顕著に現れる。

【0111】またドライエッティングの場合は、異方性、非異方性でエッティングが可能である。現在では、Cuを反応性イオンエッティングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッティングができる。

【0112】また導電被膜として考えられる材料は、Ag、Au、PtまたはPd等である。しかもこれら耐食性の導電被膜は、ダイパッド、ボンディングパッドとしてそのまま活用できる特徴を有する。

【0113】例えばAg被膜は、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されていれば、そのままダイパッド82上のAg被膜にチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。またAgの導電被膜にはAu細線が接着できるため、ワイヤーボンディングも可能となる。従ってこれらの導電被膜をそのままダイパッド、ボンディングパッドとして活用できるメリットを有する。（以上図6を参照）

続いて、図7の如く、分離溝100が形成されたダイパッド82に半導体素子101を実装する工程がある。

【0114】半導体素子101としては、トランジスタ、ダイオード、ICチップ等である。また厚みが厚くはなるが、ウェハスケール型のCSP、BGA等のSMO（フェイスダウンの半導体素子）も実装できる。

【0115】ここでは、ベアのトランジスタ101がダイパッド82にダイボンディングされ、トランジスタ101上のボンディングパッドと第1のパッド93が熱圧着によるボールボンディングあるいは超音波によるウェッヂボンディング等で固着される金属細線102を介して接続される。

【0116】また図に示す第1のパッド93は、そのサイズが非常に小さいが、板状体80と一体である。よってボンディングツールのエネルギーを伝えることができ、ボンディング性も向上するメリットを有する。またボンディング後の金属細線のカットに於いて、金属細線

をブルカットする場合がある。この時は、第1のパッドが板状体90と一体で成るため、ボンディングパッドが浮いたりする現象を無くせ、ブルカット性も向上する。

（以上図7を参照）

更に、図8に示すように、側面が湾曲した分離溝100に絶縁性樹脂103を付着する工程がある。これは、トランスマルチモールド、インジェクションモールド、ディッピングまたは塗布により実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスマルチモールドで実現でき、液晶ポリマ、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0117】本実施の形態では、絶縁性樹脂の厚さは、金属細線102の頂部から上に約100μmが被覆されるように調整されている。この厚みは、半導体装置の強度を考慮して厚くすることも、薄くすることも可能である。

【0118】本工程の特徴は、絶縁性樹脂103を被覆し、硬化するまでは、板状体80が支持基板となることである。従来のハイブリッドICでは、ガラスエポキシ基板、フレキシブルシートまたはセラミック基板等の支持基板が必要であるが、本発明では、不要となる。

【0119】更には、湾曲構造を持った分離溝100に絶縁性樹脂103が充填されるため、この部分でアンカー効果が発生し、絶縁性樹脂103からの前記導電パターンの剥がれが防止できる。

【0120】尚、ここの絶縁性樹脂103を被覆する前に、例えば半導体チップや金属細線の接続部を保護するためにシリコーン樹脂等をポッティングしても良い。

【0121】図9は、このモールド方法を図示したものである。図9Aは、金型104内のキャビティ105内に樹脂が充填された状態を示す断面図である。板状体90の裏面は、下金型104Aに全域に渡り当接しており、上金型104Bは、金型当接領域で当接していることが判る。尚、符号Vは真空吸引孔である。図9Bは、下金型104Aに、板状体90が装着された状態を示している。符号105が下金型104Aに取り付けられたガイドピンであり、板状体90に開口されたガイド孔を介してガイドピン105が頭を出している。

【0122】図9Cは、金型に形成されるキャビティ105、ランナー107およびポット106の関係を説明する図である。図のように、キャビティ105が横方向に複数個配列され、一つのリードフレームで数多くの半導体装置が取れるように設計されている。点線で示す符号108は、板状体の配置領域を示し、例えば図11のような板状体109が従来のリードフレームと同様な扱いで装着される。これは、図6の板状体が複数一体で形成されたものである。この板状体で製造される半導体装置自身は、サイズが小さく、しかも一つのキャビティ内で多数個取りが可能であり、大量生産が可能であり、製

造コストの低減につながる特徴を有する。(以上図8、図9を参照)

続いて、金型104から封止された板状体を取り出し、絶縁性樹脂103の裏面に露出する板状体90を取り除き、第1のパッド、ダイパッド等の導電パターンを分離する工程がある。

【0123】図10Aは、分離するラインを示した平面図であり、図10Bは、絶縁性樹脂103の裏面と第1のパッドの裏面、または絶縁性樹脂103の裏面とダイパッドの裏面が一致したものを示すものである。これは、研磨装置で分離溝100が露出されるまで削り取ることで可能となる。尚、裏面に半田レジスト等の絶縁被膜を形成し、電気的接続が必要な部分のみを露出させても良い。

【0124】また図10Cは、この研磨を途中で止め、第1のパッドの他端110に凸部111が形成されているものである。これは凸部111に対応する部分にホトレジストを形成し、これ以外の部分をエッティングする事で可能となる。そして凸部111が露出するように絶縁被膜112を形成する。こうすることにより、ダイパッド82の下に通過する実装基板側の導電体との短絡を防止することができる。またロウ材を介した固着では、第1のパッドに濡れた半田が延びて隣のパッド81やアイランド82と接触することもなくなる。特に微細パターンに成ればなるほど、この絶縁被膜は有効になる。

【0125】そして最後に、このモールドされたリードフレーム90をダイシングテーブルに配置し、合わせマーク85、86を基準にしてブレードの位置を調整し、点線で示すラインに沿ってダイシングし、半導体装置113として完成する。

【0126】尚、本製造方法では、ダイパッド82にトランジスタが実装されているだけであるが、ダイオード、ICでも良い。また、構造によっては、一つのアイランドに複数の半導体チップが固着されても良いし、またそれぞれの半導体チップを固着するためにそれぞれアイランドを設けても良い。続いて、本実施の形態で採用される半導体装置を、図12を参照しながら更に説明する。

【0127】本構造は、導電パターン151として配線L1、L2が形成されており、第1のパッドおよび／または外部取り出し用電極としてランド状の電極151B、CE～Jが形成され、ダイパッドとして151A、151Dが形成されている。

【0128】IC回路には、大規模の回路から小規模の回路まである。しかしここでは、図面の都合もあり、小規模な回路を図12Aに示す。この回路は、オーディオの増幅回路に多用される差動増幅回路とカレントミラーリー回路が接続されたものである。前記差動増幅回路は、図12Aの如く、TR1とTR2で構成され、前記カレントミラーリー回路は、TR3とTR4で主に構成されてい

る。

【0129】図12Bは、図12Aの回路を本半導体装置に実現した時の平面図であり、図12Cは、図12BのA-A線に於ける断面図、図12Dは、B-B線に於ける断面図である。左側には、TR1とTR3が実装されるダイパッド151Aが設けられ、右側にはTR2とTR4が実装されるダイパッド151Dが設けられている。このダイパッド151A、151Dの上側には、外部接続用の電極151B、151E～151Gが設けられ、下側には、151C、151H～151Jが設けられている。そしてTR1のエミッタとTR2のエミッタが共通接続されているため、配線L2が電極151E、151Gと一体となって形成されている。またTR3のベースとTR4のベース、TR3のエミッタとTR4のエミッタが共通接続されているため、配線L1が電極151C、155Jと一体となって設けられ、配線L3が電極155H、155Iと一体となって設けられている。

【0130】本発明の特徴は、この配線L1～L3にある。図4で説明すれば、配線60がこれに該当するものである。これらの配線は、本ハイブリッドICの集積度により異なるが、幅は、25μm～と非常に狭いものである。尚、この25μmの幅は、ウェットエッティングを採用した場合の数値であり、ドライエッティングを採用すれば、この幅は更に狭くできる。

【0131】図12Dからも明らかなように、配線L1は、裏面を露出するだけで、その他の側面は、全て絶縁性樹脂150で支持されている。また別の表現をすれば、絶縁性樹脂150に配線が埋め込まれているため、配線の抜け、反りを防止することが可能となる。特に、導電路の側面が粗面で成る事、湾曲で成る事、導電路の表面にひさしが形成されている事等により、アンカー効果が発生し、絶縁性樹脂から前記導電路が抜けにくい構造となる。

【0132】また外部接続用の電極151B、151C、155J～151Jは、前述したとおり絶縁性樹脂で埋め込まれているため、固着される外部リードから外力が加わっても、剥がれずらい構造となる。続いて、トランジスタを複数個採用して、簡単な回路を構成する半導体装置のパターンについて図13～図16を参照しながら説明する。尚、一番外側に示す矩形は、半導体装置の外形を示すものである。

【0133】図13は、それぞれのダイパッド200、201に半導体素子203、204が固着され、第1のパッドと外部取り出し用電極を兼ねた電極205～207には、金属細線が接続されている。また電極206は、二本の金属細線を同電位にするものであり、電極間に設けられる配線を省略したものである。即ち、電極206は、ボンディングパッド、外部取り出し電極および2つの電極を同電位にするための配線として機能するも

のである。

【0134】図14は、ダイパッド210、211に半導体素子212、213、214、215が固着され、第1のパッド216～220には、金属細線が接続されている。また電極220は、ダイパッド210と一体で構成されており、間には接続用の配線221が設けられている。また図13と異なり、ボンディングパッドが点在されて形成されているものである。

【0135】図15は、一側辺に、第1のパッド230…が一列に形成され、ダイパッド231、232には、半導体素子233～235が固着されているものである。またダイパッド232は、半導体素子の固着用ランドおよびボンディングパッドとして機能するものである。

【0136】更に図16は、ダイパッド240～242に半導体素子243～245が固着されているものである。そして第1のパッド246…、247が配置されている。尚、パッド247は、3つの電極を同電位にするものである。

【0137】以上の説明からも判るように、金属細線は、半導体素子の電極とボンディングパッドとの間を電気的に接続するものであると同時に、本来配線を使用したら交差する様な所のクロスオーバーとして活用することができる。また全実施例に言えることであるが、板状体にエッティングレートの小さい導電被膜を被覆し、この導電被膜を介してハーフエッティングすることによりひさしと湾曲構造が実現でき、アンカー効果を持たせることができる。

【0138】例えばCu箔の上にNiを被着すると、塩化第二鉄または塩化第二銅等でCuとNiが一度にエッチングでき、エッティングレートの差によりNiがひさしと成って形成されるため好適である。

【0139】また、半導体チップの裏面が直接露出したり、アイランドが露出するため、実装基板の導電路と熱的に結合できるため、半導体装置の放熱性を高めることができる。よって半導体チップの温度を低下させることができ、その分半導体チップの駆動能力を向上させることができる。

【0140】例えばパワーMOS、IGBT、SiT、大電流駆動用のトランジスタ、大電流駆動用のIC(MOS型、BiP型、Bi-CMOS型)メモリ素子等は、好適である。

【0141】

【発明の効果】以上の説明から明らかなように、本発明の板状体は、導電被膜またはホトレジストを介して導電パターンをハーフエッティングできる構造を有する。更には板状体を表から裏まで、プレスやエッティングで抜かず、途中で止めハイブリッドICの導電パターンとして構成することもできる。このハーフエッティングが採用できる構造により、導電パターンの間隔を狭める事がで

き、より微細なハイブリッドIC用のパターンが可能となる。また第1のパッド、ダイパッド、配線は板状体と一緒に構成されるため、変形や反り等が抑制でき、タイバー、吊りリードを不要とする事ができる。更には、絶縁性樹脂を封止して完全に固定した後、板状体の裏面を研磨やエッティングする事で導電パターンの分離が可能となり、位置ずれも無く所定の位置に導電パターンを配置することができる。しかもハイブリッドIC特有の長く引き回された配線も何ら変形無く配置することができる。

【0142】また樹脂封止領域内に、導電パターン全域が配置されることで、従来リードとリードの間から発生したバリをなくすことができる。

【0143】またガイドピンと同一パターンが形成されていることにより、絶縁性樹脂で封止する際に、ガイドピンとして開口させることができる。また前もってガイドピンを開口させておくことにより、封止用の金型のガイドピンにセットすることができ、精度の高い樹脂封止が可能となる。

【0144】また板状体をCuを主材料で構成し、導電被膜をNi、Ag、AuまたはPd等で構成すると、導電被膜をエッティングマスクとして活用することができ、更には、ハーフエッティングした際、その裏面を湾曲構造にしたり、導電パターンの表面に導電被膜によるひさしを形成することができ、アンカー効果を持たせた構造とすることができる。従って絶縁性樹脂の裏面に位置する導電パターンの抜け、反りを防止することができる。

【0145】またダイパッド自身も、板状体と一緒に構成されるため、吊りリードを採用することなく構成することができる。

【0146】また板状体で製造される半導体装置は、半導体素子、導電パターン等の導電路および絶縁性樹脂の必要最小限で構成され、資源に無駄のない半導体装置となる。よってコストを大幅に低減できる半導体装置を実現できる。また絶縁性樹脂の被覆膜厚、導電箔の厚みを最適値にすることにより、非常に小型化、薄型化および軽量化された半導体装置を実現できる。

【0147】また導電パターンの裏面を絶縁性樹脂から露出しているため、導電パターンの裏面が直ちに外部との接続に供することができ、従来構造のフレキシブルシートの如くスルーホール等の加工を不要にできる利点を有する。

【0148】しかも半導体素子がロウ材、Au、Ag等の導電被膜を介して直接ダイパッドに固着されている場合、ダイパッドの裏面が露出されているため、半導体素子から発生する熱をダイパッドを介して直接実装基板に熱を伝えることができる。特にこの放熱性により、パワー素子の実装も可能となる。

【0149】また本半導体装置は、分離溝の表面と導電パターンの表面は、実質一致している平坦な表面を有す

る構造となっており、狭ピッチQFP等を実装基板に実装しても、半導体装置自身をそのまま水平に移動できるので、外部取り出し用電極のずれの修正が極めて容易となる。

【0150】また導電パターンの側面が湾曲構造をしており、更には表面にひさしが形成できる。よってアンカーフェアを発生させることができ、導電パターンの反り、抜けを防止することができる。

【0151】また、絶縁性樹脂の被着時まで板状体で全体を支持し、導電パターンの分離、ダイシングは絶縁性樹脂が支持基板となる。従って、従来例で説明した如く、支持基板が要らなくなり、コスト的にも安価にできるメリットを有する。

#### 【図面の簡単な説明】

【図1】本発明の板状体を説明する図である。

【図2】本発明の板状体を採用した半導体装置の製造方法を説明する図である。

【図3】本発明の板状体を採用した半導体装置の製造方法を説明する図である。

【図4】板状体に形成される導電パターンを説明する図である。

【図5】本発明の板状体を説明する図である。

【図6】本発明の板状体を説明する図である。

【図7】本発明の板状体を採用した半導体装置の製造方法を説明する図である。

【図8】本発明の板状体を採用した半導体装置の製造方法を説明する図である。

【図9】本発明の板状体を採用した半導体装置の製造方

法を説明する図である。

【図10】本発明の板状体を採用した半導体装置の製造方法を説明する図である。

【図11】板状体をリードフレームとして採用した図である。

【図12】本発明の板状体を更に説明した図である。

【図13】本発明の板状体を説明する図である。

【図14】本発明の板状体を説明する図である。

【図15】本発明の板状体を説明する図である。

【図16】本発明の板状体を説明する図である。

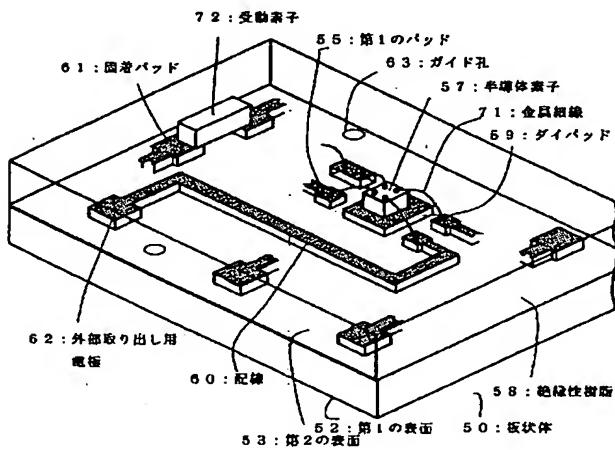
【図17】従来のハイブリッドICの実装構造を説明する図である。

【図18】従来のリードフレームを使ってハイブリッドICを実現した図である。

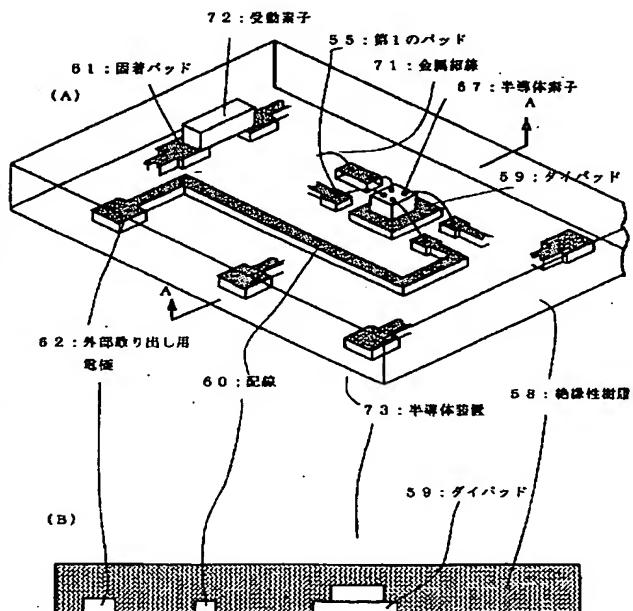
#### 【符号の説明】

50	板状体
52	第1の表面
53	第2の表面
54	半導体素子搭載領域
55	第1のパッド
56	導電被膜
57	半導体素子
60	配線
61	固着パッド
62	外部取り出し用電極
70	凸部
71	金属細線
72	受動素子

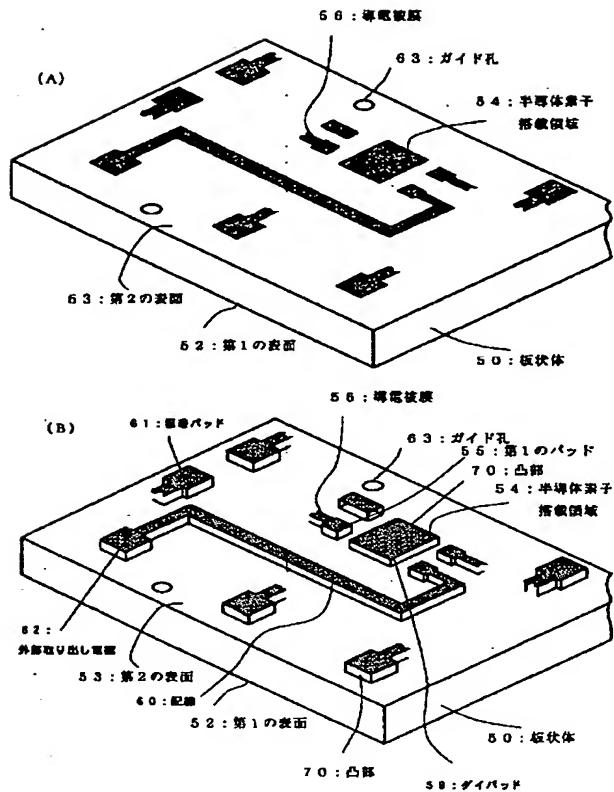
【図2】



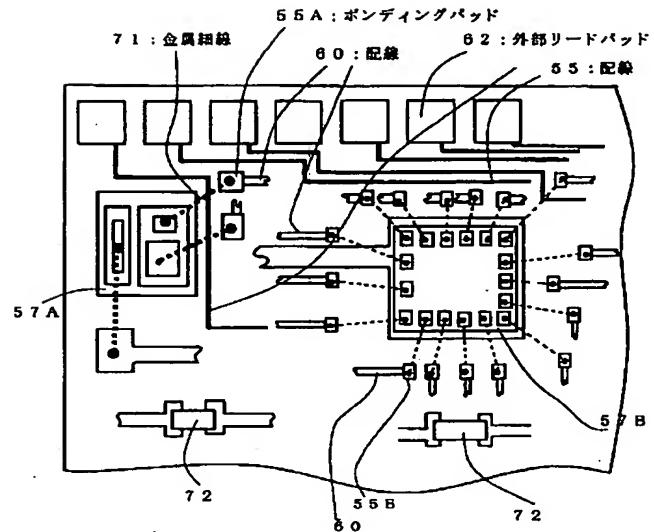
【図3】



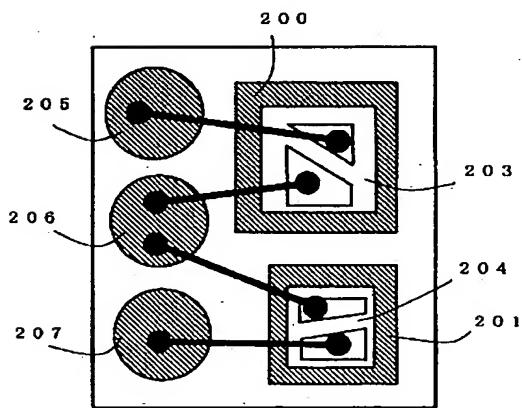
【図1】



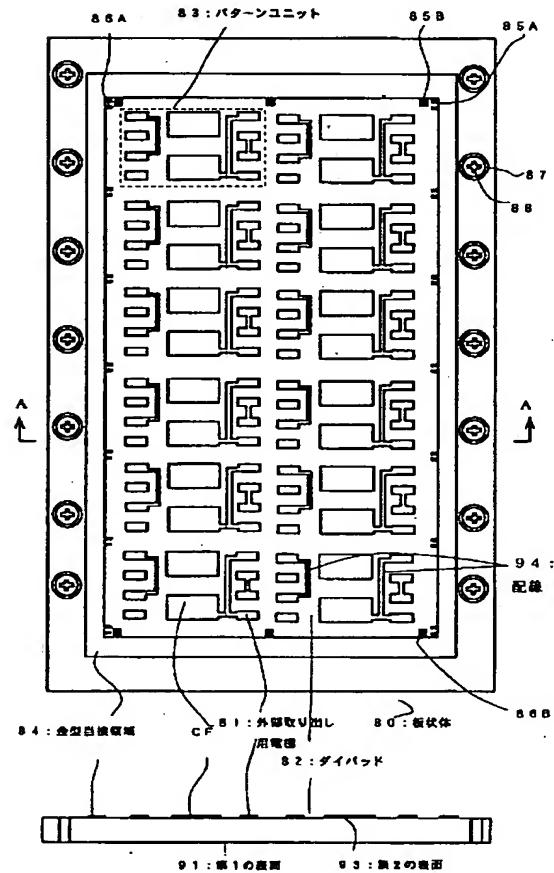
【図4】



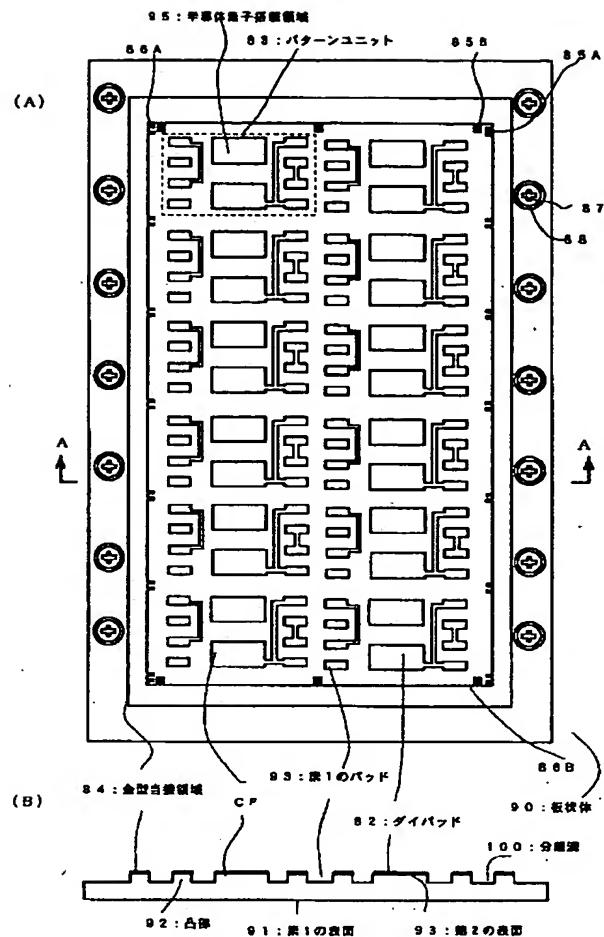
【図13】



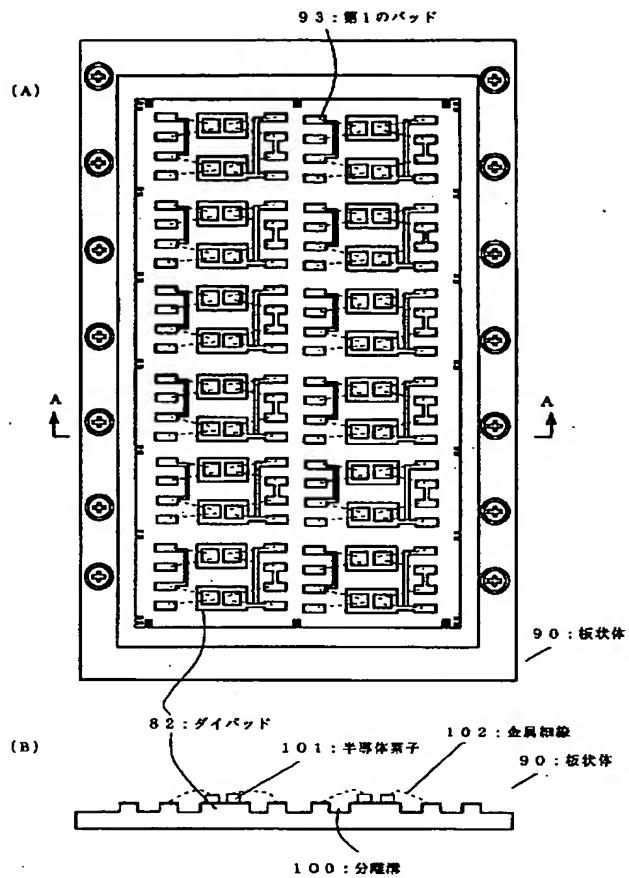
【図5】



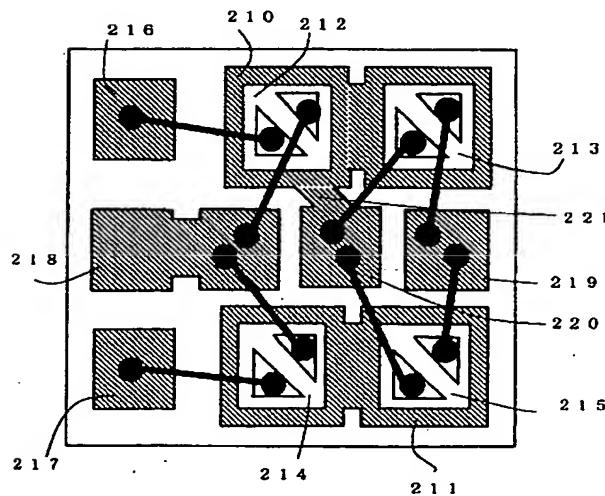
【図 6】



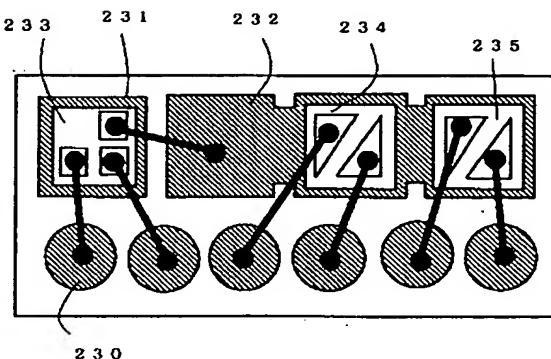
【図 7】



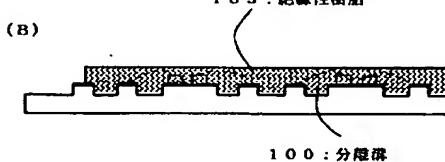
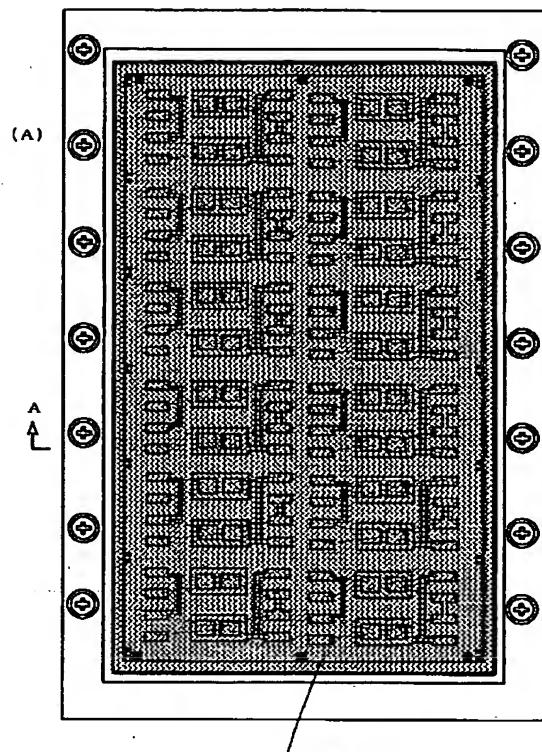
【図 14】



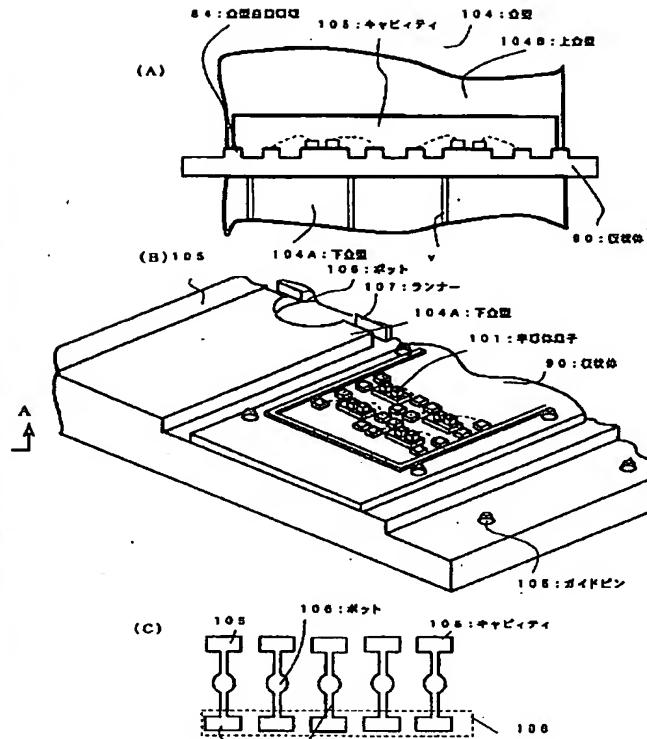
【図 15】



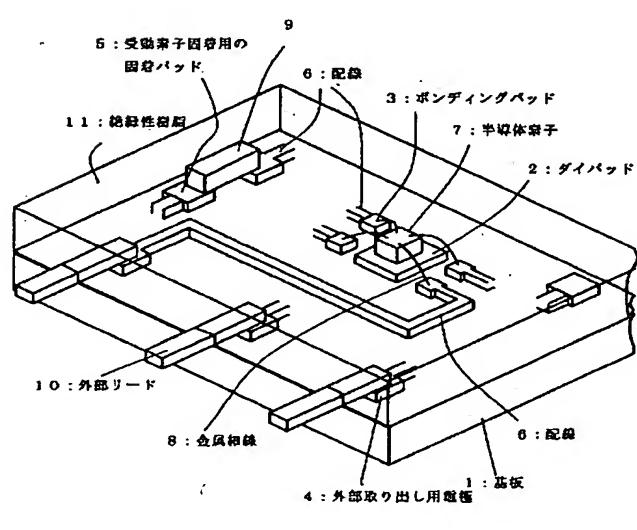
【図 8】



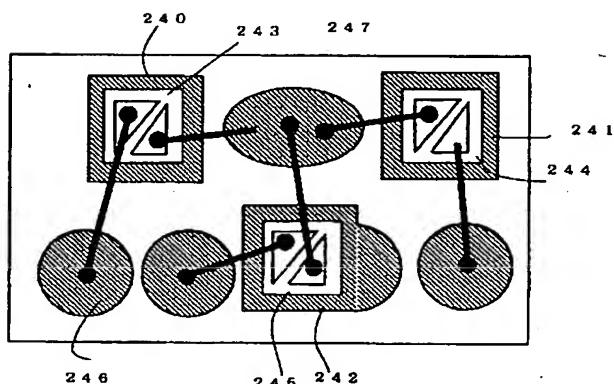
【図 9】



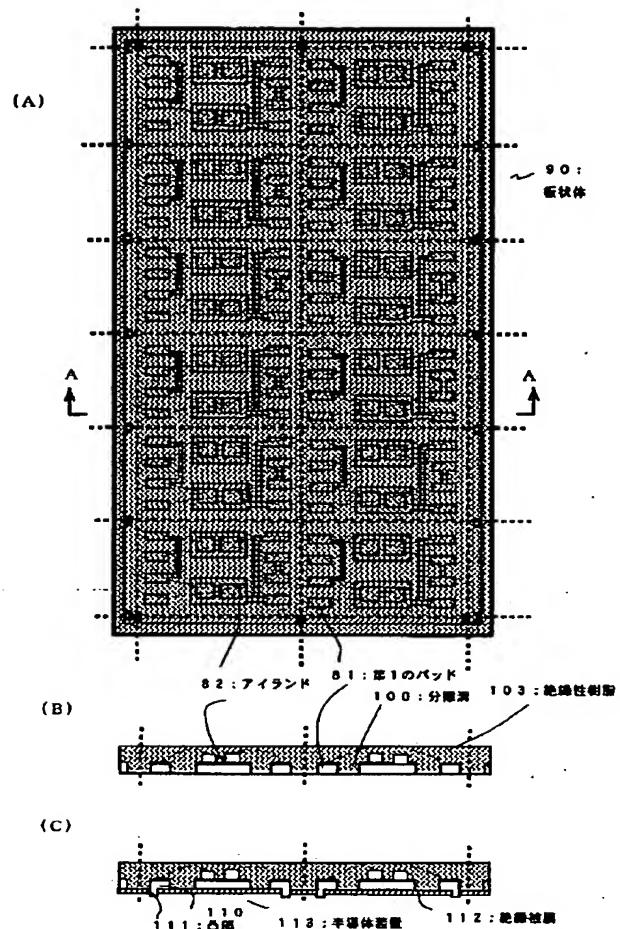
【図 17】



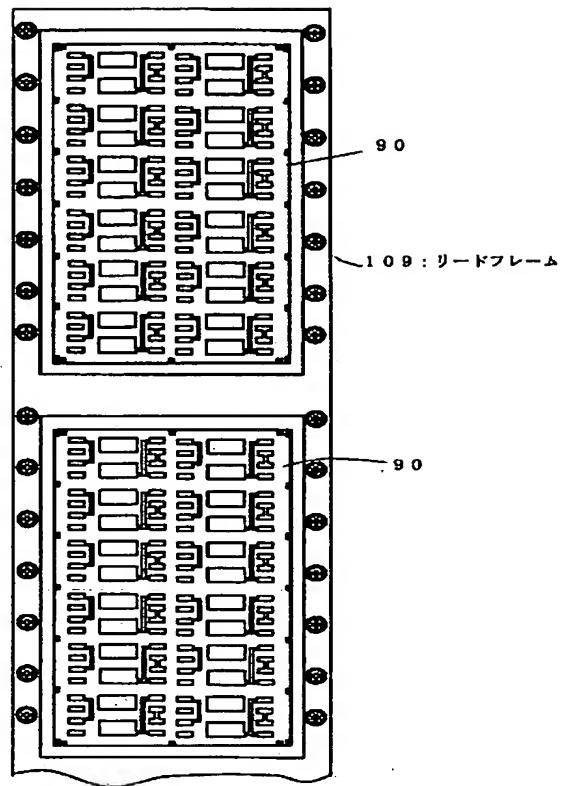
【図 16】



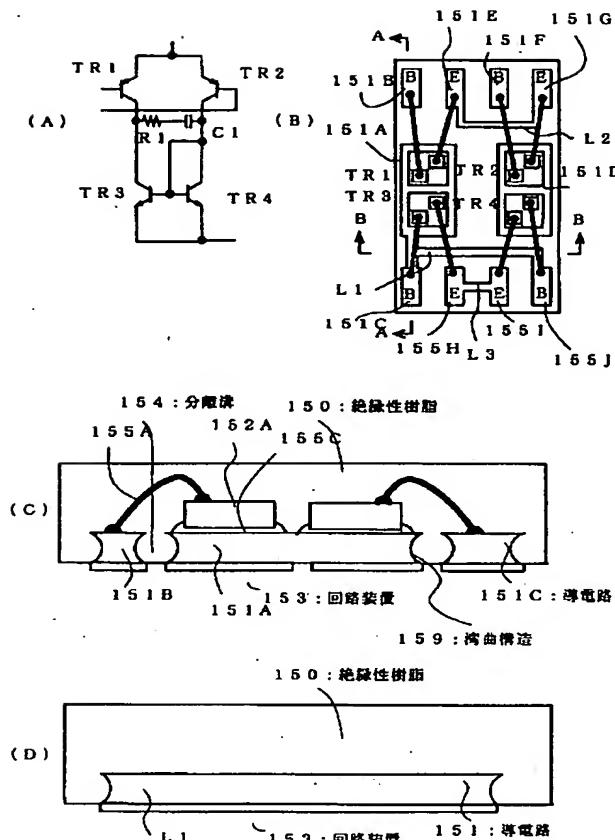
【図 10】



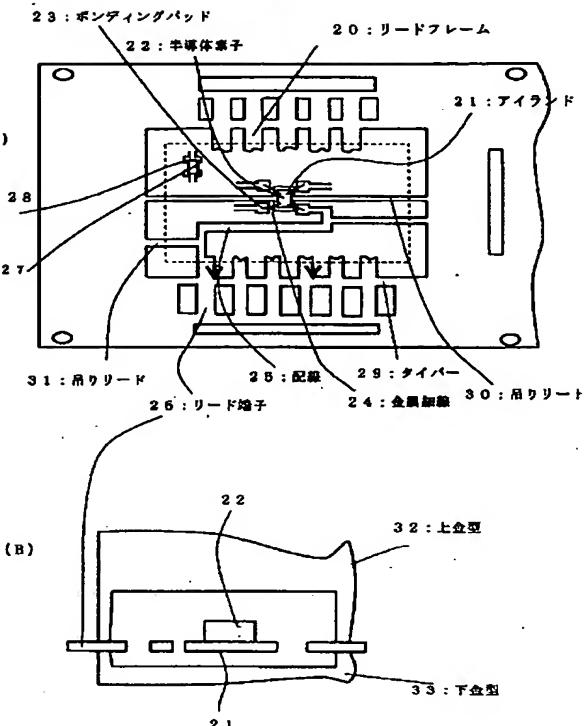
【図 11】



【図12】



【図18】



## フロントページの続き

(72)発明者 阪本 純次  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 真下 茂明  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 大川 克実  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 前原 栄寿  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 高橋 幸嗣  
群馬県伊勢崎市喜多町29番地 関東三洋電  
子株式会社内  
Fターム(参考) 5F067 AA01 AB00 AB04 BA00 DA00  
DA16 DE01